

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-068479

(43)Date of publication of application : 16.03.2001

(51)Int.Cl.

H01L 21/331
H01L 29/73
H01L 29/165

(21)Application number : 2000-181580

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 16.06.2000

(72)Inventor : TAKAGI TAKESHI
YUKI KOICHIRO
TOYODA KENJI
KANZAWA YOSHIHIKO

(30)Priority

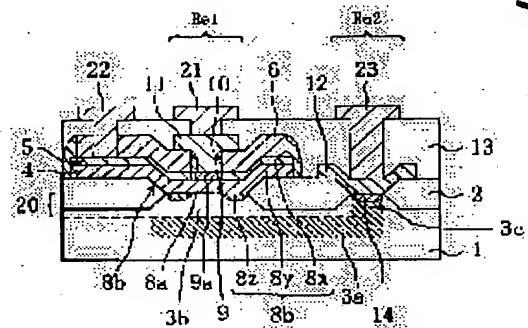
Priority number : 11175046 Priority date : 22.06.1999 Priority country : JP

(54) HETERO-BIPOLAR TRANSISTOR AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable low voltage operation and rapid operation while keeping reliability of a hetero-bipolar transistor high, by specifying average lattice strain of an Si, Ge and C-base second semiconductor layer whose band gap is smaller than that of an Si-base first semiconductor layer.

SOLUTION: A second semiconductor layer 4 which comprises an SiGeC layer, has a band gap which is smaller than that of a first semiconductor layer 20 and has average lattice strain of 1.0% or less, is formed on a first conductivity first semiconductor layer 20 whose element is Si and which functions as a collector layer. A third semiconductor layer 5 which comprises Si and has a band gap which is larger than that of the second semiconductor layer 4 is further formed thereon, a conductor layer containing first conductivity impurities which comes into contact with a part of the semiconductor layer 5 is formed, a base layer 8a is formed by introducing second conductivity impurities to a part of the second semiconductor layer 4, first conductivity impurities in a conductive layer are diffused to the third semiconductor layer 5 by heat treatment, and an emitter diffusion layer 9a is formed.



Best Available Copy

LEGAL STATUS

[Date of request for examination] 12.02.2002

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3515944

[Date of registration] 23.01.2004

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-68479

(P2001-68479A)

(43)公開日 平成13年3月16日(2001.3.16)

(51)Int.Cl.⁷

識別記号

F I

テマコード(参考)

H 0 1 L 21/331

H 0 1 L 29/72

5 F 0 0 3

29/73

29/165

29/165

審査請求 未請求 請求項の数31 O L (全 25 頁)

(21)出願番号 特願2000-181580(P2000-181580)

(22)出願日 平成12年6月16日(2000.6.16)

(31)優先権主張番号 特願平11-175046

(32)優先日 平成11年6月22日(1999.6.22)

(33)優先権主張国 日本 (J P)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 高木 剛

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 幸 康一郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外7名)

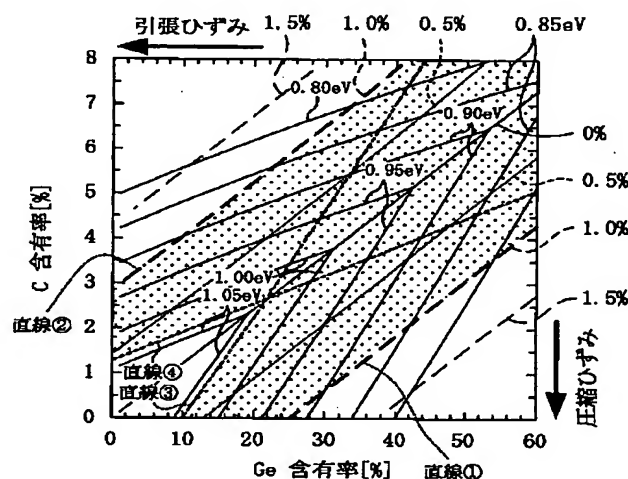
最終頁に続く

(54)【発明の名称】 ヘテロバイポーラトランジスタ及びその製造方法

(57)【要約】

【課題】 信頼性の高い、低電圧動作、高速動作が可能なヘテロバイポーラトランジスタを提供する。

【解決手段】 ドットハッチングを施した領域は、Si層上のSiGeC層における格子歪み量が1.0%以内で、かつバンドギャップが従来の実用的なSiGe(Ge含有率が約10%)のバンドギャップよりも小さくできる領域である。この領域は、 $Si_{1-x-y}Ge_xC_y$ とあらわされるSiGeCにおいて、Geの含有率をx、Cの含有率をyとした場合、4つの直線①~④によって囲まれる領域である。歪みが0%と記された直線上の組成を有するSiGeC層は、Si層と格子整合している。ヘテロバイポーラトランジスタのベース層をドットハッチングで示された領域の組成を有するSiGeCによって構成することで、実用上不具合のないナローバンドギャップベースを実現することができる。



1

【特許請求の範囲】

【請求項1】 基板上に、Siを成分として有する半導体材料により構成される第1の半導体層と、Si、Ge及びCを成分として有し上記第1の半導体層よりもバンドギャップの小さい半導体材料により構成される上層、中央層及び下層からなる第2の半導体層と、Siを成分として有し上記第2の半導体層よりもバンドギャップが大きい半導体材料により構成される第3の半導体層とを順次積層して構成され、上記第1の半導体層と上記第2の半導体層との間にヘテロ障壁が形成されているとともに、

上記第1の半導体層に形成され、第1導電型不純物を含むコレクタ層と、

上記第2の半導体層に形成され、第2導電型不純物を含むベース層と、

上記第3の半導体層に形成され、第1導電型不純物を含むエミッタ層とを備え、

上記第2の半導体層の平均格子歪みが1.0%以下であることを特徴とするヘテロバイポーラトランジスタ。

【請求項2】 請求項1に記載のヘテロバイポーラトランジスタにおいて、上記第2の半導体層は、圧縮歪みを受けていることを特徴とするヘテロバイポーラトランジスタ。

【請求項3】 請求項1又は2に記載のヘテロバイポーラトランジスタにおいて、

上記第2の半導体層のバンドギャップは、1.04eV以下であることを特徴とするヘテロバイポーラトランジスタ。

【請求項4】 請求項1、2又は3に記載のヘテロバイポーラトランジスタにおいて、

上記第1の半導体層は、Si単結晶によって構成されており、

上記第2の半導体層は、上記第2の半導体層の組成を $Si_{1-x-y}Ge_xC_y$ (Geの含有率をx、Cの含有率をy)により表したときに、横軸をGeの含有率とし縦軸をCの含有率とする二次元の直交座標上で、

直線①: $y = 0.122x - 0.032$

直線②: $y = 0.1245x + 0.028$

直線③: $y = 0.2332x - 0.0233$ (Cの含有率が22%以下)

直線④: $y = 0.0622x + 0.0127$ (Cの含有率が22%以下)

の4つの直線によって囲まれる領域の組成を有することを特徴とするヘテロバイポーラトランジスタ。

【請求項5】 請求項4に記載のヘテロバイポーラトランジスタにおいて、

上記第2の半導体層の中央層は、均一なGe及びCの含有率を有することを特徴とするヘテロバイポーラトランジスタ。

【請求項6】 請求項5に記載のヘテロバイポーラトラ

2

ンジスタにおいて、

上記第2の半導体層の上層において、Cの含有率が第3の半導体層から上記中央層に向かう方向に増大していることを特徴とするヘテロバイポーラトランジスタ。

【請求項7】 請求項5に記載のヘテロバイポーラトランジスタにおいて、

上記第2の半導体層の上層において、C及びGeの含有率が上記第3の半導体層から上記中央層に向かう方向に増大していることを特徴とするヘテロバイポーラトランジスタ。

【請求項8】 請求項5、6又は7に記載のヘテロバイポーラトランジスタにおいて、

上記第2の半導体層の下層において、Cの含有率が上記中央層から第1の半導体層に向かう方向に減小していることを特徴とするヘテロバイポーラトランジスタ。

【請求項9】 請求項5、6又は7に記載のヘテロバイポーラトランジスタにおいて、

上記第2の半導体層の下層において、C及びGeの含有率が上記中央層から第1の半導体層に向かう方向に減小していることを特徴とするヘテロバイポーラトランジスタ。

【請求項10】 請求項1又は2に記載のヘテロバイポーラトランジスタにおいて、

上記第2の半導体層の中央層において、第3の半導体層から第1の半導体層に向かう方向にバンドギャップが減小していることを特徴とするヘテロバイポーラトランジスタ。

【請求項11】 請求項10に記載のヘテロバイポーラトランジスタにおいて、

上記第3の半導体層は、Siのみによって構成され、上記第2の半導体層の上層の組成は上記中央層と連続的に変化して、その第3の半導体層に接する部分はSiのみによって構成され、

上記第2の半導体層の上記中央層及び上層は、Ge及びCのうち少なくとも一方の含有率が上記第3の半導体層から上記第1の半導体層に向かう方向に増大するように傾斜する組成を有することを特徴とするヘテロバイポーラトランジスタ。

【請求項12】 請求項11に記載のヘテロバイポーラトランジスタにおいて、

上記第2の半導体層の上記中央層及び上層において、GeとCとの含有率比を一定に保ちながら両者の含有率が増大していることを特徴とするヘテロバイポーラトランジスタ。

【請求項13】 請求項10、11又は12に記載のヘテロバイポーラトランジスタにおいて、

上記第2の半導体層の下層において、Cの含有率が上記中央層から上記第1の半導体層に向かう方向に減小していることを特徴とするヘテロバイポーラトランジスタ。

【請求項14】 請求項10、11又は12に記載のヘ

3

テロバイポーラトランジスタにおいて、

上記第2の半導体層の下層において、Ge及びCの含有率が上記中央層から上記第1の半導体層に向かう方向に減少していることを特徴とするヘテロバイポーラトランジスタ。

【請求項15】 請求項10に記載のヘテロバイポーラトランジスタにおいて、

上記第2の半導体層の上層は、Ge及びCのうち少なくともいずれか一方を含むSiにより構成されており、

Ge又はCの含有率が上記第3の半導体層から上記第1の半導体層に向かう方向に変化するように第2の半導体層の組成が傾斜していることを特徴とするヘテロバイポーラトランジスタ。

【請求項16】 請求項15に記載のヘテロバイポーラトランジスタにおいて、

上記第2の半導体層の中央層は、圧縮歪みを受ける組成を有しており、かつ、Cの含有率が一定でGeの含有率が第3の半導体層から第1の半導体層に向かう方向に増大する傾斜組成を有していることを特徴とするヘテロバイポーラトランジスタ。

【請求項17】 請求項15に記載のヘテロバイポーラトランジスタにおいて、

上記第2の半導体層の中央層は、圧縮歪みを受ける組成を有しており、かつ、Geの含有率が一定でCの含有率が第3の半導体層から第1の半導体層に向かう方向に減少する傾斜組成を有していることを特徴とするヘテロバイポーラトランジスタ。

【請求項18】 請求項15に記載のヘテロバイポーラトランジスタにおいて、

上記第2の半導体層の中央層は、圧縮歪みを受ける組成を有しており、かつ、第3の半導体層から第1の半導体層に向かう方向に、Geの含有率が増大しCの含有率が減少する傾斜組成を有していることを特徴とするヘテロバイポーラトランジスタ。

【請求項19】 請求項15に記載のヘテロバイポーラトランジスタにおいて、

上記第2の半導体層の中央層は、圧縮歪みを受ける組成を有しており、かつ、第3の半導体層から第1の半導体層に向かう方向に、Ge及びCの含有率が増大する傾斜組成を有していることを特徴とするヘテロバイポーラトランジスタ。

【請求項20】 請求項15に記載のヘテロバイポーラトランジスタにおいて、

上記第2の半導体層の中央層は、引っ張り歪みを受ける組成を有しており、かつ、Cの含有率が一定でGeの含有率が第3の半導体層から第1の半導体層に向かう方向に減少する傾斜組成を有していることを特徴とするヘテロバイポーラトランジスタ。

【請求項21】 請求項15に記載のヘテロバイポーラトランジスタにおいて、

4

上記第2の半導体層の中央層は、引っ張り歪みを受ける組成を有しており、かつ、Geの含有率が一定でCの含有率が第3の半導体層から第1の半導体層に向かう方向に増大する傾斜組成を有していることを特徴とするヘテロバイポーラトランジスタ。

【請求項22】 請求項15に記載のヘテロバイポーラトランジスタにおいて、

上記第2の半導体層の中央層は、引っ張り歪みを受ける組成を有しており、かつ、第3の半導体層から第1の半導体層に向かう方向にGeの含有率が減少しCの含有率が増大する傾斜組成を有していることを特徴とするヘテロバイポーラトランジスタ。

【請求項23】 請求項15に記載のヘテロバイポーラトランジスタにおいて、

上記第2の半導体層の中央層は、引っ張り歪みを受ける組成を有しており、かつ、第3の半導体層から第1の半導体層に向かう方向にGeの含有率が増大しCの含有率が増大する傾斜組成を有していることを特徴とするヘテロバイポーラトランジスタ。

20 【請求項24】 請求項15～23のうちいずれか1つに記載のヘテロバイポーラトランジスタにおいて、

上記第2の半導体層のうち上記中央層と第3の半導体層との間に介在する縦方向における端部領域において、Cの含有率が第3の半導体層から上記中央層に向かう方向に増大していることを特徴とするヘテロバイポーラトランジスタ。

【請求項25】 請求項15～23のうちいずれか1つに記載のヘテロバイポーラトランジスタにおいて、

上記第2の半導体層の上層において、C及びGeの含有率が第3の半導体層から上記中央層に向かう方向に増大していることを特徴とするヘテロバイポーラトランジスタ。

【請求項26】 請求項15～23のうちいずれか1つに記載のヘテロバイポーラトランジスタにおいて、

上記第2の半導体層の下層において、Cの含有率が上記中央層から第1の半導体層に向かう方向に減少していることを特徴とするヘテロバイポーラトランジスタ。

【請求項27】 請求項15～23のうちいずれか1つに記載のヘテロバイポーラトランジスタにおいて、

40 上記第2の半導体層の下層において、C及びGeの含有率が上記中央層から第1の半導体層に向かう方向に減少していることを特徴とするヘテロバイポーラトランジスタ

【請求項28】 Siを成分として有しコレクタ層として機能する第1導電型の第1の半導体層の上に、SiGeC層を含み上記第1の半導体層よりもバンドギャップが小さく平均格子歪みが1.0%以下である第2の半導体層を形成する工程(a)と、

50 上記第2の半導体層の上に、少なくともSiを含み上記第2の半導体層よりもバンドギャップが大きい第3の半

5

導体層を形成する工程 (b) と、
 上記第3の半導体層の一部にコンタクトする第1導電型不純物を含む導体層を形成する工程 (c) と、
 上記第2の半導体層の少なくとも一部に第2導電型不純物を導入してベース層を形成する工程 (d) と、
 熱処理により、上記導体層中の第1導電型不純物を上記第3の半導体層に拡散させて、エミッタ拡散層を形成する工程 (e) とを含むヘテロバイポーラトランジスタの製造方法。

【請求項29】 請求項28に記載のヘテロバイポーラトランジスタの製造方法において、
 上記第1の半導体層は、Si層であり、
 上記工程 (a) では、上記第2の半導体層としてSi_{1-x-y}Ge_xCy (Geの含有率をx、Cの含有率をy) 層を形成し、
 上記工程 (b) では、上記第3の半導体層としてSi層を形成することを特徴とするヘテロバイポーラトランジスタの製造方法。

【請求項30】 請求項29に記載のヘテロバイポーラトランジスタの製造方法において、上記工程 (a) では、上記第2の半導体層を、横軸をGeの含有率とし縦軸をCの含有率とする二次元の直交座標上で、
 直線①: $y = 0.122x - 0.032$
 直線②: $y = 0.1245x + 0.028$
 直線③: $y = 0.2332x - 0.0233$ (Cの含有率が22%以下)
 直線④: $y = 0.0622x + 0.0127$ (Cの含有率が22%以下)
 の4つの直線によって囲まれる領域の組成を有するように形成することを特徴とするヘテロバイポーラトランジスタの製造方法。

【請求項31】 請求項28～30のうちいずれか1つに記載のヘテロバイポーラトランジスタの製造方法において、
 上記工程 (b) では、エピタキシャル成長と同時に第1導電型不純物を上記第3の半導体層内にドーピングしておくことを特徴とするヘテロバイポーラトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、格子歪みが小さい範囲内でSiGeC層を含むベース層を備えたヘテロバイポーラトランジスタに関するものである。

【0002】

【従来の技術】 従来より、エミッターベースコレクタ間のいずれかの接合部において、バンドギャップが互いに異なる2つの半導体材料のエネルギーバンドの境界に形成されるヘテロ障壁を設け、このヘテロ障壁を利用してキャリアの蓄積や電流増幅率の改良などを図ろうとするヘテロバイポーラトランジスタ (HBT) は、優れた

6

高周波特性を生かして、マイクロ波・ミリ波帯域での能動デバイスとして用いられつつある。例えばGaAsなどのIII-V族化合物半導体を用いたHBTが最も精力的に研究開発がなされているが、近年、シリコン基板上に作製可能なIV-IV族化合物であるSiGe系の材料を用いたHBT (SiGe-HBT) が注目を集めている。また、SiGe-HBTは、Si-BJTに比べて、SiGe層からなるベース層のバンドギャップが小さいことにより、低電圧で動作可能となることについても注目を集めている。

【0003】 従来、提案されている高速化を図るためのSiGe-HBTとしては、SiGeベース層におけるGe含有率をエミッタ層側からコレクタ層側に向かう方向に徐々に増加させた傾斜組成ベース層を備えたものと (参考文献1) (L. Haremeet al., "Optimization of SiGe HBT Technology for High Speed Analog and Mixed-Signal Applications," IEDM Tech. Dig. 1993, p. 71.)、ベース層のGe含有率及びベース層の不純物のドーピング濃度を高くし、ベース層の厚みを非常に薄くした構造のもの (参考文献2) (A. Schuppen et al., "Enhanced SiGe Heterojunction Bipolar Transistors with 160 GHz-fmax," IEDM Tech. Dig. 1995, p. 743.) の2つのタイプが代表的である。

【0004】 前者の傾斜組成ベース層を備えたトランジスタにおいては、ベース層に注入されたキャリアが、傾斜組成によって生じる電界によって加速されてベース層をドリフト走行する。ドリフト電界によるキャリアの走行は、キャリアの拡散による走行に比べて高速であるため、傾斜組成ベース構造を有するトランジスタにより、ベース層を走行するのに要する時間 (ベース走行時間) の短縮が図られ、良好な高周波特性が得られている。

【0005】 一方、後者のヘテロバイポーラトランジスタは、Ge含有率が高い均一組成のSiGeによって構成されたナローバンドギャップを有するベース層を備えている。そして、ベース層に高濃度のキャリア用不純物をドーピングすることにより、エミッタ・コレクタ間のパンチスルーを抑制しつつベース層の薄層化を図り、ベース走行時間の短縮を図っている。この場合は、ベース層のバンドギャップがエミッタ層のバンドギャップよりも小さいことから、エミッタ・ベース間のPN接合のビルトインポテンシャルが小さくなるため、低電圧で大きなコレクタ電流や十分な高周波特性を得ることができる。

【0006】

【発明が解決しようとする課題】 しかしながら、上記従来の各ヘテロバイポーラトランジスタにおいては、それぞれ以下のような不具合があった。

【0007】 まず、上記傾斜組成ベース構造を有するヘテロバイポーラトランジスタにおいては、傾斜組成によるドリフト電界を大きくするために、組成の傾斜を大き

7

くする必要がある。すなわち、ベース層内のエミッタ層に接する領域におけるGe含有率を小さく、コレクタ層に接する領域におけるGe含有率を大きくする必要がある。このため、通常、ベース層内のエミッタ層に接する領域においてはGeを含まずSiのみの組成としていることが多い。この時、ベース・エミッタ間のPN接合はシリコンとシリコンのホモ接合となっているので、低電圧動作は期待できない。また、ベース走行時間をさらに短縮し、高周波特性を改善するためには、ベース層内のコレクタ層に接する領域におけるGe含有率をさらに高くする必要がある。しかしながら、Si基板上に形成されたSiGe層においては、SiとGeの格子定数の相違（格子不整合）により、Ge含有率を大きくしすぎるとベース層内に転位が発生して信頼性の悪化等を招くため、Ge含有率の増大には限界がある。参考文献3

(S. R. Stiffler et. al., "The thermal stability of SiGe films deposited by ultrahigh-vacuum chemical vapor deposition," J. Appl. Phys., 70 (3), pp. 1416-1420, 1991.) によると、ヘテロバイポーラトランジスタのベース層に用いられる実用的なGe含有率の上限は10%程度である。したがって、ベース層における組成の傾斜を強めてさらなる高周波化や低電圧化は現状では困難である。

【0008】一方、上記従来のヘテロバイポーラのうち後者の均一組成ベースを用いた構造においても、上述のように、格子定数差による転位が発生する臨界膜厚が問題となる。実際、参考文献2に記載されているSiGe HBTでは、高いGe含有率を用いているため、高温での処理を必要とするプロセスを用いずに作製し、転位の発生を抑制している。したがって、高温のプロセスを必要とするシリコンプロセスには適用できず、BiCMOSデバイスなどの混載デバイスや集積回路を実現することは不可能である。したがって、ビルトインポテンシャルのさらなる低減によるさらなる低電圧動作化には限界がある。

【0009】本発明の目的は、コレクタ層のバンドギャップやエミッタ層の平均的なバンドギャップと、ベース層のバンドギャップとの差を大きくしてもベース層における格子歪み量を小さくしうる手段を講ずることにより、信頼性を高く維持しつつ、より低電圧動作、高速動作が可能なヘテロバイポーラトランジスタを提供することにある。

【0010】

【課題を解決するための手段】本発明のヘテロバイポーラトランジスタは、基板上に、Siを成分として有する半導体材料により構成される第1の半導体層と、Si、Ge及びCを成分として有し上記第1の半導体層よりもバンドギャップの小さい半導体材料により構成される上層、中央層及び下層からなる第2の半導体層と、Siを成分として有し上記第2の半導体層よりもバンドギャッ

8

プが大きい半導体材料により構成される第3の半導体層とを順次積層して構成され、上記第1の半導体層と上記第2の半導体層との間にヘテロ障壁が形成されているとともに、上記第1の半導体層に形成され、第1導電型不純物を含むコレクタ層と、上記第2の半導体層に形成され、第2導電型不純物を含むベース層と、上記第3の半導体層に形成され、第1導電型不純物を含むエミッタ層とを備え、上記第2の半導体層の平均格子歪みが1.0%以下であるものである。

10 【0011】これにより、例えば $Si_{1-x-y}Ge_xC_y$ (Geの含有率をx、Cの含有率をy)として表される第2の半導体層のGe及びCの含有率の調整によって、エミッタ・ベース間のPN接合のビルトインポテンシャルの低減による低電圧動作化や、傾斜組成ベース構造による動作速度の向上などを実現できる。その際、Si層上にエピタキシャル成長されたSiGe層のように、格子不整合による格子欠陥の発生防止のためにGe含有率の厳しい上限を招くことがない。すなわち、Si、Ge及びCを成分として有する第2の半導体層の場合には、
20 Siなどからなる第1、第3の半導体層との格子不整合に起因する平均格子歪みを1.0%以下に抑制しつつ、第1、第3の半導体層とのバンドギャップ差を拡大することが可能である。したがって、信頼性の高いかつ機能の優れたヘテロバイポーラトランジスタを得ることができる。

【0012】上記ヘテロバイポーラトランジスタにおいて、上記第2の半導体層が圧縮歪みを受けている場合には、C含有率を低減しつつSiGeCからなる第2の半導体層のバンドギャップと第1の半導体層のバンドギャップとの差を十分大きくとることができ、信頼性の確保と機能の向上とを併せて発揮することができる。

30 【0013】上記ヘテロバイポーラトランジスタにおいて、上記第2の半導体層のバンドギャップが1.04eV以下である場合にも、バンドギャップが1.12eVであるSiとのバンドギャップ差を十分大きく確保して、上述の機能を発揮することができる。

【0014】上記ヘテロバイポーラトランジスタにおいて、上記第1の半導体層は、Si単結晶によって構成されており、上記第2の半導体層は、上記第2の半導体層の組成を $Si_{1-x-y}Ge_xC_y$ (Geの含有率をx、Cの含有率をy)により表したときに、横軸をGeの含有率とし縦軸をCの含有率とする二次元の直交座標上で、
直線①: $y = 0.122x - 0.032$
直線②: $y = 0.1245x + 0.028$
直線③: $y = 0.2332x - 0.0233$ (Cの含有率が22%以下)
直線④: $y = 0.0622x + 0.0127$ (Cの含有率が22%以下)

50 の4つの直線によって囲まれる領域の組成を有することにより、格子歪みを1.0%以下に抑制することができ

る。

【0015】上記ヘテロバイポーラトランジスタにおいて、上記第2の半導体層の中央層が均一な組成を有することにより、第1、第3の半導体層とのバンドギャップ差を大きく確保することが可能である。

【0016】上記中央層が均一組成を有するヘテロバイポーラトランジスタにおいて、上記第2の半導体層の上層において、Cの含有率が第3の半導体層から上記中央層に向かう方向に徐々に増大している場合には、エミッタ・ベース接合部においてノッチなどのバンドオフセットのほとんどないめらかに変化するバンド構造が得られ、高周波特性などの良好なヘテロバイポーラトランジスタを得ることができる。

【0017】上記中央層が均一な組成を有するヘテロバイポーラトランジスタにおいて、上記第2の半導体層のうち上記中央層と上記第3の半導体層との間に介在する上層において、C及びGeの含有率が上記第3の半導体層から上記中央層に向かう方向に増大している場合には、エミッタ・ベース接合部において、さらになめらかに変化するバンド構造が得られる。

【0018】上記中央層が均一な組成を有するヘテロバイポーラトランジスタにおいて、上記第2の半導体層の下層において、Cの含有率が上記中央層から第1の半導体層に向かう方向に減小している場合には、ベース・コレクタ接合部において、ノッチなどのバンドオフセットのほとんどないめらかに変化するバンド構造が得られる。

【0019】上記中央層が均一な組成を有するヘテロバイポーラトランジスタにおいて、上記第2の半導体層の下層において、C及びGeの含有率が上記中央層から第1の半導体層に向かう方向に減小している場合には、ベース・コレクタ接合部においてさらになめらかに変化するバンド構造が得られる。

【0020】上記ヘテロバイポーラトランジスタの基本構造において、上記第2の半導体層の中央層において、第3の半導体層から第1の半導体層に向かう方向にバンドギャップが減小している場合には、ベース層においてキャリアを電界によって加速する機能が得られるので、ベース走行時間が短縮され、高速動作するヘテロバイポーラトランジスタを得ることができる。

【0021】この第2の半導体層において第3の半導体層から第1の半導体層に向かう方向にバンドギャップを減小させるための構造としては、以下の構造がある。

【0022】上記第3の半導体層は、Siのみによって構成され、上記第2の半導体層の上層の組成は上記中央層と連続的に変化して、その第3の半導体層に接する部分はSiのみによって構成され、上記第2の半導体層の上記中央層及び上層が、Ge及びCのうち少なくとも一方の含有率が上記第3の半導体層から上記第1の半導体層に向かう方向に増大するように傾斜する組成を有する

ようにすればよい。

【0023】その場合、上記第2の半導体層の上記中央層及び上層において、GeとCとの含有率比を一定に保ちながら両者の含有率を増大させることにより、電界によるキャリアの加速機能をより強化することができる。

【0024】また、第2の半導体層が傾斜組成を有するヘテロバイポーラトランジスタにおいて、上記第2の半導体層の下層において、Cの含有率、あるいはC及びGeの含有率が上記中央層から上記第1の半導体層に向かう方向に減小している場合には、上述のように、ベース・コレクタ接合部においてノッチなどのバンドオフセットのないめらかに変化するバンド構造を得ることができる。

【0025】上記第2の半導体層が傾斜組成を有するヘテロバイポーラトランジスタにおいて、上記第2の半導体層の上層がGe及びCのうち少なくともいずれか一方を含むSiにより構成されている場合には、Ge又はCの含有率を上記第3の半導体層から上記第1の半導体層に向かう方向に変化させればよい。

【0026】このような傾斜組成を有する構造の例として、以下のものがある。

【0027】上記第2の半導体層の中央層が圧縮歪みを受ける組成を持たせる場合には、Cの含有率が一定でGeの含有率が第3の半導体層から第1の半導体層に向かう方向に増大する傾斜組成を有しているもの、Geの含有率が一定でCの含有率が第3の半導体層から第1の半導体層に向かう方向に減小する傾斜組成を有しているもの、第3の半導体層から第1の半導体層に向かう方向に、Geの含有率が増大しCの含有率が減小する傾斜組成を有しているもの、第3の半導体層から第1の半導体層に向かう方向にGe及びCの含有率が増大する傾斜組成を有しているもの、などがある。

【0028】また、上記第2の半導体層の中央層が引張り歪みを受ける組成を持たせる場合には、Cの含有率が一定でGeの含有率が第3の半導体層から第1の半導体層に向かう方向に減小する傾斜組成を有しているもの、Geの含有率が一定でCの含有率が第3の半導体層から第1の半導体層に向かう方向に増大する傾斜組成を有しているもの、第3の半導体層から第1の半導体層に向かう方向にGeの含有率が減小しCの含有率が増大する傾斜組成を有しているもの、第3の半導体層から第1の半導体層に向かう方向にGeの含有率が増大しCの含有率が増大する傾斜組成を有しているもの、などがある。

【0029】このように、圧縮歪み又は引張り歪みのいずれか一方のみを有する領域内で第2の半導体層の中央層に傾斜組成を持たせることにより、SiGeCによって構成される中央層が格子整合するような領域を通らずにSiGeC含有率が変化するので、第2の半導体層の中央層において逆のバンドギャップ勾配が発生するな

どの不具合を回避することができる。

【0030】なお、第2の半導体層の中央層が傾斜組成を有しているヘテロバイポーラトランジスタにおいても、上記第2の半導体層の上層において、Cの含有率、あるいはC及びGeの含有率が第3の半導体層から上記中央層に向かう方向に増大していることが好ましい。

【0031】また、上記第2の半導体層の下層において、Cの含有率、あるいはC及びGeの含有率が上記中央層から第1の半導体層に向かう方向に減少していることが好ましい。

【0032】本発明のヘテロバイポーラトランジスタの製造方法は、Siを成分として有しコレクタ層として機能する第1導電型の第1の半導体層の上に、SiGeC層を含み上記第1の半導体層よりもバンドギャップが小さく平均格子歪みが1.0%以下である第2の半導体層を形成する工程(a)と、上記第2の半導体層の上に、少なくともSiを含み上記第2の半導体層よりもバンドギャップが大きい第3の半導体層を形成する工程(b)と、上記第3の半導体層の一部にコンタクトする第1導電型不純物を含む導体層を形成する工程(c)と、上記第2の半導体層の少なくとも一部に第2導電型不純物を導入してベース層を形成する工程(d)と、熱処理により、上記導体層中の第1導電型不純物を上記第3の半導体層に拡散させて、エミッタ拡散層を形成する工程(e)とを含んでいる。

【0033】この方法により、上述のヘテロバイポーラトランジスタを形成する際に、Si、Ge及びCを含む第2の半導体層の結晶性が、その平均格子歪みが1.0%以下である場合には、工程(e)における熱処理が行なわれた後も良好な結晶性を保持していることが確認された。すなわち、導体層からの第1導電型不純物の拡散によって、第3の半導体層の局所的な部分のみにエミッタ拡散層を設けることが可能となり、高周波特性などの電気的特性の優れたヘテロバイポーラトランジスタを形成することができる。

【0034】上記第1の半導体層としてSi層を用い、上記工程(a)では、上記第2の半導体層として $Si_{1-x-y}Ge_xCy$ (Geの含有率をx、Cの含有率をy)層を形成し、上記工程(b)では、上記第3の半導体層としてSi層を形成することが好ましい。

【0035】上記工程(a)では、上記第2の半導体層を、横軸をGeの含有率とし縦軸をCの含有率とする二次元の直交座標上で、

直線①: $y = 0.122x - 0.032$

直線②: $y = 0.1245x + 0.028$

直線③: $y = 0.2332x - 0.0233$ (Cの含有率が22%以下)

直線④: $y = 0.0622x + 0.0127$ (Cの含有率が22%以下)

の4つの直線によって囲まれる領域の組成を有するよう

に形成すること好ましい。

【0036】上記工程(b)では、エピタキシャル成長と同時に第1導電型不純物を上記第3の半導体層内にドーピングしておくことにより、多の領域の不純物濃度による影響を回避しながら、工程(e)における不純物の導入と併せて第3の半導体層における不純物の濃度をより高めることができる。

【0037】

【発明の実施の形態】—ベース層をSiGeC層によって構成することの利点—

各実施形態について説明する前に、Si、Ge及びCを含む三元混晶半導体であるSiGeC層によってヘテロバイポーラトランジスタのベース層を構成することの利点について説明する。

【0038】図18は、従来のSiGe-HBTなどにおけるSi層の上に形成されたSiGe膜のGe含有率と格子歪み、臨界膜厚との関係を示す特性図である。HBTとして実用的な最小ベース層の膜厚は25nm程度であることを考慮すると、SiGe膜においては、格子歪みが0.5%以内となる組成を選ぶ必要があることがわかる。

【0039】一方、SiGeC三元混晶半導体のバンドギャップについては、参考文献4 (K. Brunner et. al., "SiGeC: Band gaps, band offsets, optical properties, and potential applications," J. Vac. Sci. Technol. B 13(3), pp. 1701-1706, 1998) に一部が記載されている。それによると、SiGeC三元混晶半導体はSi単結晶よりもバンドギャップが小さく、かつ、Si単結晶の上にSiGeC層を形成することにより格子歪みが小さい半導体層を形成できることがわかる。

【0040】ここで、図19は、本発明者達の実験によって得られたデータであって、一般式 $Si_{1-x-y}Ge_xCy$ で表されるSiGeC結晶層について、950℃下で15sec間の熱処理(RTA)を行なったときの結晶性の変化を示すデータである。同図において、横軸はGe含有率を表し、縦軸はC含有率を表し、かつ、歪み量(圧縮歪み及び引っ張り歪みを含む)、バンドギャップがそれぞれ一定となる組成条件を直線によって示している。同図の○印は、結晶性が良好に保持されたGe、C含有率の値を示し、同図の×印は結晶性が劣化したGe、C含有率の値を示している。同図からわかるように、 $Si_{1-x-y}Ge_xCy$ 結晶層の場合には、ひずみが0.5%を越えても、1.0%以内であれば結晶性が崩れずに良好に保たれていることがわかる。図19には、圧縮ひずみを生じる場合のデータしか示されていないが、原理的に、引っ張りひずみについても同様のひずみ量が臨界値と考えられる。

【0041】図20(a)～(d)は、 $Si_{1-x}Ge_x$ 結晶層及び $Si_{1-x-y}Ge_xCy$ 結晶層の各組成における熱処理によるX線回折スペクトルの変化を示す図であ

13

る。そのうち、図20(a), (d)は、それぞれGe含有率が13.2%, 30.5%の $\text{Si}_{1-x}\text{Ge}_x$ 結晶層のX線回折スペクトルのみを示し、図20(b),

(c)は、Ge含有率が21.5%, 26.8%における $\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$ 結晶層と $\text{Si}_{1-x}\text{Ge}_x$ 結晶層とにおける熱処理によるX線回折スペクトルの変化を示す図である。図20(b), (c)に示す $\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$ 結晶層の組成は、図19中の測定点に含まれている。

【0042】例えば、図20(a)を参照すると、0次の回折ピークの両側における二次、三次、…の回折ピークは、熱処理を行なった後もそれほど変化していない

(崩れていない)ことから、 $\text{Si}_{1-x}\text{Ge}_x$ 結晶層の結晶性は比較的良好に保たれていると考えられる。この組成は、図18に示すひずみが0.5%付近である $\text{Si}_{1-x}\text{Ge}_x$ 結晶層の組成に相当する。また、図20(d)に示すように、Ge含有率が30.5%になると、熱処理を行なった後では、0次の回折ピークの両側における二次、三次、…の回折ピークパターンがほとんどわからなくなっていることから、 $\text{Si}_{1-x}\text{Ge}_x$ 結晶層の結晶性は悪化していると考えられる。この組成は、図18に示すひずみが1.0%以上の範囲にある $\text{Si}_{1-x}\text{Ge}_x$ 結晶層の組成に相当する。

【0043】一方、図20(b)を参照すると、Cの含有率が0.33%である $\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$ 結晶層においては、0次の回折ピークの両側における二次、三次、…の回折ピークは、熱処理を行なった後もそれほど変化していない(崩れていない)ことから、 $\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$ 結晶層の結晶性は比較的良好に保たれている。ところが、Cの含有率が0つまり $\text{Si}_{1-x}\text{Ge}_x$ 結晶層の場合、熱処理を行なった後では、0次の回折ピークの両側における二次、三次、…の回折ピークパターンが不明瞭になっていることから、 $\text{Si}_{1-x}\text{Ge}_x$ 結晶層の結晶性が悪化していることがわかる。図20(c)についても同様である。

【0044】図1は、SiGeC三元混晶半導体におけるGe及びCの含有率とバンドギャップ、格子歪みの関係を示す状態図である。同図において、横軸はGe含有率を表し縦軸はC含有率を表し、かつ、歪み量(圧縮歪み及び引っ張り歪みを含む)、バンドギャップがそれぞれ一定となる組成条件を直線によって示している。図19、図20(a)~(d)に示すデータから裏付けられるように、図1中、ドットハッチングを施した領域は、Si層上のSiGeC層における格子歪み量が1.0%以内で、かつバンドギャップが従来の実用的なSiGe (Ge含有率が約10%)のバンドギャップよりも小さくできる領域である。この領域は、 $\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$ とあらわされるSiGeCにおいて、Geの含有率をx、Cの含有率をyとした場合、次の4つの直線

直線 ①: $y = 0.122x - 0.032$

14

直線 ②: $y = 0.1245x + 0.028$

直線 ③: $y = 0.2332x - 0.0233$ (Ge含有率が22%以下)

直線 ④: $y = 0.0622x + 0.0127$ (Ge含有率が22%以下)

によって囲まれる領域である。なお、図中、格子歪みが0%と記された直線上の組成を有するSiGeC層は、下地のSi層と格子整合している。

【0045】したがって、エミッタ層、ベース層、コレクタ層からなるヘテロバイポーラトランジスタにおいて、ベース層を図1のドットハッチングで示された領域の組成からなるSiGeCによって構成することで、従来のSiGeでは、格子歪みにより実用上問題であったナローバンドギャップベースを実現することができる。

【0046】したがって、本発明によれば、ベース層にバンドギャップが小さく、かつ格子歪み量が小さくなる材料としてSiGeC三元混晶半導体材料を選択することにより、信頼性が高く、低電圧動作、高速動作が可能なヘテロバイポーラトランジスタを実現することができる。

【0047】なお、図1は、SiGeC層の下地層がSi単一組成を有する場合の状態図であるが、下地層がSiにGeやCを多少含む場合であっても、SiGeC層の格子歪みが1.0%以下で、かつ、下地層とSiGeC層とバンドギャップの差を大きく確保できる限り、同様の効果を発揮することができる。

【0048】ヘテロバイポーラトランジスタの全体構造及び製造工程の例

図2は、本発明を適用する1つの例である、Si結晶からなるコレクタ層と、SiGeC結晶からなるベース層とを有するヘテロバイポーラトランジスタの断面図である。

【0049】図2に示すように、Si基板1の上には、LOCOS膜2によって囲まれる第1の活性領域Re1と第2の活性領域Re2とが設けられている。Si基板1内には、n型不純物を含むサブコレクタ層3aが形成されており、このサブコレクタ層3aはSi基板1内において第1の活性領域Re1と第2の活性領域Re2との間に亘っている。また、Si基板1においてサブコレクタ層3aの上にはエピタキシャル成長によって形成された第1の半導体層であるSiエピタキシャル層20が設けられており、このSiエピタキシャル層20のうち第1の活性領域Re1にはコレクタ層3bが、第2の活性領域Re2にはコレクタウォール層3cがそれぞれ設けられている。さらに、Siエピタキシャル層20の第1の活性領域Re1の上には、エピタキシャル成長によって順次形成された第2の半導体層であるSiGeC層4と、第3の半導体層であるSi層5とが形成されている。ただし、SiGeC層4及びSi層5は、基板のSiエピタキシャル層20が露出している部分の上では単結晶膜となる

15

が、LOCOS膜2の上では多結晶膜となっている。SiGeC層4におけるコレクタ層3bの上方に位置する領域はp型不純物を含む真性ベース層8aとなっており、真性ベース層8aの側方の領域には、SiGeC層4、Si層5及びSi基板1内の各部分8x、8y及び8zに亘る外部ベース層8bが形成されている。さらに、Si層5における真性ベース層8aの上方に位置する領域には、n型不純物を含むエミッタ層9が形成されている。

【0050】ここで、真性ベース層8aとコレクタ層3bとの境界は、図2においては単一の線によって示されているが、実際には不純物が導入された状態に応じてベース・コレクタ間の境界となるPN接合部が変化する。したがって、真性ベース8a-コレクタ層3b間の境界と、Siエピタキシャル層20-SiGeC層4間の境界とは、ほとんど一致することがない。真性ベース層8a-エミッタ層9間の境界と、SiGeC層4-Si層5間の境界との位置関係についても同様である。Siエピタキシャル層20、SiGeC層4及びSi層5同士の境界と、コレクタ層3b、真性ベース層8a及びエミッタ層9同士の境界との位置関係については、後に詳しく説明する。

【0051】さらに、Si層5の上には高濃度のp型不純物を含むBSG(Boron Silicate Glass)膜6が設けられていて、上述の外部ベース層8bには、このBSG膜6から拡散したp型不純物であるボロンがドーピングされている。そして、BSG膜6の開口の側面には絶縁体サイドウォール10が形成されており、開口内には高濃度のn型不純物(例えばリン)を含むポリシリコンからなるエミッタ電極11が形成されている。そして、このエミッタ電極11からエミッタ層9内にn型不純物(例えばリン)を拡散させてなる高濃度エミッタ層9aが形成されている。なお、エミッタ層9内には、あらかじめn型不純物(リン又は砒素)がエピタキシャル成長時にin-situドーピングによって導入されている。

【0052】また、Si基板1内の第2の活性領域Re2の上には、n型不純物(例えばリン)を含むコレクタ電極12が形成されている。そして、コレクタウォール層3cの上には、コレクタ電極12から拡散されたn型不純物を含むコレクタコンタクト層14が形成されている。

【0053】さらに、基板の主面上には、酸化シリコンからなる層間絶縁膜13が形成されていて、この層間絶縁膜13に形成されたコンタクトホールを介して上述のエミッタ電極11、Si層5、コレクタ電極12にそれぞれ接続されるAl配線21、22、23が設けられている。ここで、上述のSi層5及びSiGeC層4の多結晶膜となっている部分は、結晶膜となっている部分に形成された外部ベース層8bにつながるものであり、いわばベース電極として機能している。

16

【0054】この例におけるヘテロバイポーラトランジスタは、エピタキシャル成長されたSiGeC層4及びSi層5の上に、開口を有する不純物ドーピング用のBSG膜6を形成し、このBSG膜6からp型不純物であるボロンを拡散させて外部ベース層8bを形成する一方、BSG膜6の開口に形成されたエミッタ電極11からエミッタ層9内にn型不純物を拡散させて高濃度エミッタ層9aを形成したものである。つまり、外部ベース層8bと高濃度エミッタ層9aとはいずれもBSG膜6の開口に自己整合的に形成されている。ただし、必ずしも外部ベース層8bと高濃度エミッタ層9aとをいずれもBSG膜6の開口に自己整合的に形成する必要はない。

【0055】次に、図3(a)~(k)を参照しながら、本実施形態に係るヘテロバイポーラトランジスタの製造方法について説明する。

【0056】まず、図3(a)に示す工程で、Si基板1内に高濃度のn型不純物が注入されたサブコレクタ層3aを形成した後、LP-CVD法により、低濃度のn型不純物を含むSiエピタキシャル層20をエピタキシャル成長させて、このSiエピタキシャル層20の上に第1、第2活性領域Re1、Re2を囲むLOCOS膜2を形成する。エピタキシャル成長されたSiエピタキシャル層20は、第1の活性領域Re1ではコレクタ層3bとなり、第2の活性領域Re2ではコレクタウォール層3cとなっている。

【0057】次に、図3(b)に示す工程で、基板の全表面上に、UHV-CVD法により、上端部及び下端部を除く部分にボロンをドーピングした厚み約50nmのp型SiGeC層4と、ノンドープの厚み約20nmのSi層5とを順次エピタキシャル成長により形成する。この時、SiGeC層4及びSi層5は、シリコン表面が露出した部分の上では単結晶膜であり、LOCOS膜2の上には多結晶膜である。このとき、SiGeC層4を成長させる際には、UHV-CVD装置内で、ジシラン(Si_2H_6)の流量を7.5ml/min.、ゲルマン(GeH_4)の流量を20ml/min.、メチルシラン(10% $\text{SiH}_3\text{CH}_3/\text{H}_2$)の流量を10ml/min.とし、成長温度を500℃とし、成長圧力を約0.53Pa($4 \times 10^{-3}\text{Torr}$)とする。また、Si層5を成長させる際には、UHV-CVD装置内で、ジシラン(Si_2H_6)の流量を7.5ml/min.とし、成長温度を550℃とし、成長圧力を約0.27($2 \times 10^{-3}\text{Torr}$)とする。そして、SiGeC層4をエピタキシャル成長させる際のボロンを導入するタイミングを制御することで、後述するように、コレクタ・ベース接合部とSi層5-SiGeC層4間の境界との位置関係を適宜調整することができる。

【0058】また、Si層5(Si単結晶膜及びSi多結晶膜)をエピタキシャル成長させるときに、比較的高濃度のn型不純物(リン又は砒素)をin-situドーピングに

17

より導入しておいてもよい。

【0059】次に、図3(c)に示す工程で、SiGeC層4及びSi層5のうち活性ベース層と引き出しベース電極として機能する部分を残して、他の部分はドライエッチングによって除去する。

【0060】次に、図3(d)に示す工程で、基板の全面上に8%程度のボロンを含む厚み約200nmのBSG(Boron Silicate Glass)膜6を常圧CVD法により堆積した後、フォトリソグラフィ工程及びドライエッチング工程により、BSG膜6をパターニングして、BSG膜6のうち第2の活性領域Re2の部分は全面的に除去する一方、BSG膜6のうち第1の活性領域Relの上にエミッタ電極形成用の開口6aを形成する。

【0061】次に、図3(e)に示す工程で、CVD法により、基板の全面上に厚み約100nmの保護窒化膜7を堆積する。この保護窒化膜7は次工程でのBSG膜6からのボロン拡散の際に、BSG膜6から気相中にボロンが抜け出し、シリコン表面が露出した部分に付着して、基板内に拡散することを防止する働きをする。

【0062】次に、図3(f)に示す工程で、RTA(Rapid Thermal Anneal)法により、950℃で10秒間の熱処理を行い、BSG膜6中のボロンを、Si層5のうちBSG膜6の下方に位置する部分(つまり開口6aの周囲に位置する部分)、SiGeC層4のうちBSG膜6の下方に位置する部分、及びコレクタ層3bのうちBSG膜6の下方に位置する部分に拡散させる。この工程により、Si層5及びコレクタ層3bのうちBSG膜6の下方に位置する部分8x、8z(つまり開口6aの周囲に位置する部分)はp型になり、SiGeC層4のうちBSG膜6の下方に位置する部分8yはp型不純物濃度がさらに濃くなって低抵抗化する。その結果、開口6aの周囲に位置する部分においては、Si層5、SiGeC層4及びコレクタ層3b内の各部分8x、8y、8zに亘る外部ベース層8bが形成される。このとき、上述の図19、図20(a)～(d)に示すように、本発明のSiGeC層の結晶性は悪化することなく、良好に保たれる。

【0063】次に、図3(g)に示す工程で、異方性ドライエッチングにより、保護窒化膜7をエッチバックして、BSG膜6の側面にサイドウォール10を形成する。このサイドウォール10は、後に形成される高濃度エミッタ層と外部ベース層との耐圧を十分に確保するためのものである。

【0064】次に、図3(h)に示す工程で、エミッタ電極およびコレクタ電極となる高濃度にリンがドーパされたポリシリコン膜をLPCVD法により堆積した後、ドライエッチングにより、このポリシリコン膜をパターニングして、第1の活性領域Rel上にはエミッタ電極11を、第2の活性領域Re2上にはコレクタ電極12をそれぞれ形成する。

18

【0065】次に、図3(i)に示す工程で、CVD法により、酸化シリコンからなる層間絶縁膜13を堆積する。

【0066】次に、図3(j)に示す工程で、950℃、15secの熱処理(RTA)により、エミッタ電極11からエミッタ層9及びSiGeC層4の上端部にリンを拡散させて高濃度エミッタ層9aを形成するとともに、コレクタ電極12からコレクタウォール層3c内にリンを拡散させてコレクタコンタクト層14を形成する。このときにも、上述の図19、図20(a)～

(d)に示すように、本発明のSiGeC層の結晶性は悪化することなく、良好に保たれる。

【0067】次に、図3(k)に示す工程で、ドライエッチングにより、層間絶縁膜13にエミッタ電極11、Si層5及びコレクタ電極12にそれぞれ到達するコンタクトホールを形成した後、各コンタクトホール内及び層間絶縁膜13の上に亘って、Al配線21、22、23を形成する。

【0068】以下の各実施形態においては、図1に示す組成、引っ張り歪み、バンドギャップ等の特性を参照しながら、図2に示す構造を有し図3(a)～(k)に示す工程で形成されるヘテロバイポーラトランジスタを例として、エミッタ、ベース及びコレクタの構造について説明する。ただし、本発明のヘテロバイポーラトランジスタの構造や製造工程は、図2に示す構造や図3(a)～(k)に示す製造工程に限定されるものではない。

【0069】(第1の実施形態)まず、真性ベース層8aが均一組成のSiGeC層4により構成されたSiGeC-HBTに関する第1の実施形態について説明する。

【0070】図4(a)～(c)は、それぞれ順に、従来のNPN型Si-BJTのエネルギーバンド構造、従来の均一組成ベース層を有するNPN型SiGe-HBTのエネルギーバンド構造、本発明による均一組成SiGeCベース層を有するNPN型SiGeC-HBTのエネルギーバンド構造をそれぞれ示すバンド図である。

【0071】図4(a)に示すように、従来のNPN型Si-BJTにおいては、エミッターベース間における伝導帯同士のポテンシャル差A1と価電子帯同士のポテンシャル差B1とは互いに等しい。また、ベース-コレクタ間における伝導帯同士のポテンシャル差A2と価電子帯同士のポテンシャル差B2とは互いに等しい。

【0072】それに対し、図4(b)に示すように、従来のNPN型SiGe-HBTにおいては、価電子帯同士のポテンシャル差B1がエミッターベース間における伝導帯同士のポテンシャル差A1よりも大きい。言い換えると、ビルトインポテンシャルを低減することができる。したがって、エミッタからベースに流れるキャリア(ここでは電子)の流量を一定に確保するために必要な電圧を低くでき、低電圧動作化を実現することができ

る。

【0073】ただし、上述のように、SiGeベース層のGe含有率は、格子不整合に起因する転位の発生を抑制するために、一般的には10%以下である。したがって、SiGe層とSi層とのバンドギャップ差をそれほど大きくすることができず、価電子帯同士のポテンシャル差B1、B2と伝導帯同士のポテンシャル差A1、A2との差(B1-A1)や(B2-A2)もそれほど大きくすることはできない。したがって、低電圧動作化にも限界がある。

【0074】一方、図4(c)に示すように、本発明のNPN型SiGeC-HBTにおいては、エミッタ層9-真性ベース層8a間における価電子帯同士のポテンシャル差B1と伝導帯同士のポテンシャル差A1との差(B1-A1)や、真性ベース層8a-コレクタ層3b間における価電子帯同士のポテンシャル差B2と伝導帯同士のポテンシャル差A2との差(B2-A2)を、従来のNPN型SiGe-HBTよりも大きくすることが*

Si : 1.12 eV
SiGe (Ge含有率10%) : 1.04 eV
SiGeC (Ge含有率30%, C含有率2.1%) : 0.95 eV

となる。したがって、このような組成を有するSiGeC層によって構成される真性ベース層を有するヘテロバイポーラトランジスタは、SiはもとよりSiGeによって構成されるベース層を有するバイポーラトランジスタに比べて、バンドギャップが小さいベース層を実現することができる。そして、このことにより、図4(c)に示すように、エミッタ層9-真性ベース層8a間における価電子帯同士のポテンシャル差B1と伝導帯同士のポテンシャル差A1との差(B1-A1)や、真性ベース層8a-コレクタ層3b間における価電子帯同士のポテンシャル差B2と伝導帯同士のポテンシャル差A2との差(B2-A2)が極めて大きい、低電圧動作化されたヘテロバイポーラトランジスタを得ることができるのである。

【0077】図5は、本実施形態に係るヘテロバイポーラトランジスタのベース・コレクタ電流のベース電圧依存特性(ガンメルプロット)を従来のSi-BJT、SiGe-HBTと比較して示す図である。本実施形態のごとく、バンドギャップが小さいSiGeCにより構成されるベース層をヘテロバイポーラトランジスタに設けることにより、エミッタ・ベース間のPN接合におけるビルトインポテンシャルが小さくなり、従来の均一組成SiGeHBTと比べて、低電圧で大きなコレクタ電流が得られる。つまり、本実施形態のSiGeC-HBTにおいては、従来にない低電圧動作が実現されている。

【0078】また、図21、図22は、Ge含有率が21.5%、26.8%のときのSi_{1-x}Ge_x結晶層及びSi_{1-x-y}Ge_xC_y結晶層をベース層として有するバイポーラトランジスタのエミッタ接地におけるV_{CE}

*できる。すなわち、本実施形態においては、真性ベース層8aが包含されるSiGeC層4の組成を、図1中のドットハッチングを施した領域内の組成とすることにより、真性ベース層8a内の格子歪みを1.0%以内に抑制し、かつ、真性ベース層8aのバンドギャップが従来の実用的なSiGe層(Geの含有率が約10%)より小さくすることができる。したがって、上述の低電圧動作化をより顕著に進めることができる。

【0075】ここで、従来のSi-BJT、従来のSiGe-HBT及び本発明のSiGeC-HBTにおけるベース層を構成するSi、SiGe及びSiGeCのバンドギャップの相違について説明する。

【0076】例えば、本実施形態では、ベース層を構成するSiGeCの組成をGe含有率が30%でC含有率が2.1%としている。図1に示すように、この組成においては、格子歪みが1.0%以下であり、Si、実用的なSiGe、本実施形態におけるSiGeCのバンドギャップを比較すると、

Si : 1.12 eV
SiGe : 1.04 eV
SiGeC : 0.95 eV

-I_C特性(コレクターエミッタ間電圧とコレクタ電流との関係)を示す図である。図21、22からわかるように、Si_{1-x}Ge_x結晶層を用いたバイポーラトランジスタにおいては、コレクタ電流I_Cがほぼフラットになる領域がほとんど存在せず、コレクタ電流のV_{CE}依存性が非常に大きい。すなわち、このバイポーラトランジスタは正常な増幅作用を行なうことが困難であることがわかる。すなわち、Si_{1-x}Ge_x結晶層を用いたバイポーラトランジスタにおいては、Ge含有率が10%までが実用的な限界であることが裏付けられている。

【0079】それに対して、Si_{1-x-y}Ge_xC_y結晶層を用いたバイポーラトランジスタにおいては、コレクタ電流I_Cがほぼフラットになる領域が存在し、コレクタ電流のV_{CE}依存性はそれほど大きくない。したがって、本実施形態のSi_{1-x-y}Ge_xC_y結晶層をベース層として用いたバイポーラトランジスタは、Ge含有率が21.5%、26.8%という極めて高い値であっても、安定したバイポーラ動作を行なうことができることが示されている。

【0080】-Si層・SiGeC層の境界付近の構造-

ここでは、本実施形態におけるNPNヘテロバイポーラトランジスタのリンを含むエミッタ層9、ボロン(B)を含む真性ベース層8a及びリンを含むコレクタ層3bの形成位置と、Siエピタキシャル層20、SiGeC層4及びSi層5の形成位置との関係について、図6

(a)、(b)～図9(a)、(b)を参照しながら説明する。図6(a)、(b)～図9(a)、(b)においては、Siエピタキシャル層20、SiGeC層4及

21

びSi層5の形成位置をGe及びCの有無によって区別し、エミッタ層9、真性ベース層8a及びコレクタ層3bの形成位置をボロンの有無によって区別している。つまり、Siエピタキシャル層20及びSi層5にはGe、Cはいずれも導入されていないことから、Ge含有率とC含有率とが記載されているSiGeC層4層と、Siエピタキシャル層20及びSi層5との境界が明示されている。また、エミッタ層9及びコレクタ層3bにはボロンが導入されていないことから、ボロンの濃度プロファイルが記載されている真性ベース層8aと、エミッタ層9及びコレクタ層3bとの境界が明示されている。なお、図6(a)、図7(a)、図8(a)及び図9(a)において、エミッタ層9及びコレクタ層3bに導入されたリンの濃度は記載されていない。

【0081】また、図6(b)、図7(b)、図8(b)及び図9(b)においては、エミッタ層、真性ベース層及びコレクタ層に亘る伝導帯端と価電子帯端との形状のみを表している。

【0082】図6(a)は、全体的に均一組成のSiGeC層4を備え、ベース層8aを構成するためのボロンがSiGeC層4よりも広い範囲、つまりSiエピタキシャル層20及びSi層5内にドーブされたヘテロバイポーラトランジスタのSiエピタキシャル層20及びSi層5の位置と、真性ベース層8a、エミッタ層9及びコレクタ層3bの位置との関係を示す図である。図6(b)は、図6(a)に示す不純物プロファイルを有するトランジスタのエネルギーバンド図である。図6

(b)に示すように、SiGeC層4の外側にエミッタ・ベース接合、ベース・コレクタ接合があり、Si-SiGeC間のヘテロ接合界面が階段状に急峻な界面で形成された場合は、各々の接合部に図6(a)に示すような寄生バリアが生じ、キャリアの走行を阻害し、高周波特性を劣化させる。また、エミッタからキャリアの注入に要する電圧が高くなり、低電圧化の妨げとなる。これは、バンドギャップの大きなシリコンエミッタ層、シリコンコレクタ層がp型となっているためである。したがって、真性ベース層8aやSiGeC層4からはみ出した広い範囲にまで形成するのは適切ではない。

【0083】図7(a)は、全体的に均一組成のSiGeC層4を備え、ベース層8aを構成するためのボロンがSiGeC層4内のみドーブされたヘテロバイポーラトランジスタのSiエピタキシャル層20及びSi層5の位置と、真性ベース層8a、エミッタ層9及びコレクタ層3bの位置との関係を示す図である。図7(b)は、図7(a)に示す不純物プロファイルを有するトランジスタのエネルギーバンド図である。図7(b)に示すように、この場合には図7(a)に示すようなヘテロ障壁に寄生バリアは形成されないが、各接合の空乏層領域にノッチが生じる。このノッチも、また、キャリア

(ここでは電子)の走行を阻害する要因となる。これ

22

は、従来のSiGe-HBTでは見られないものである。従来のSi/SiGeヘテロ接合の場合、バンドギャップ差は、主に価電子帯におけるバンドオフセット ΔE_v として現れ、伝導帯にはほとんどポテンシャルの段差が生じないのに対して、Si/SiGeCヘテロ接合の場合には、伝導帯にもバンドオフセット ΔE_c が生じることに起因している。また、このSi/SiGeCヘテロ接合に生じる伝導帯バンドオフセットはC含有率が大きくなるほど大きくなる。したがって、キャリア(ここでは電子)がエミッタ層9から真性ベース層8aを経てコレクタ層3bに流れること自体はそれほど阻害されないが、寄生ノッチにキャリアが蓄積される分だけキャリアの流れが遅くなる。つまり、図7(a)に示す構造は、ボロンをSiGeC層4内のみ導入している点では好ましいが、SiGeC層4のC含有率及びGe含有率を一定としてSiGeC層4を全体的に均一組成にしていることは適切ではない。

【0084】なお、ボロンなどのp型不純物がSiGeC層4から外にはみ出ている、n型不純物が導入されている領域とp型不純物が導入されている領域とがオーバーラップしていることにより、p型領域がSiGeC層4内に包含されていけばよい。

【0085】図8(a)は、中央層4aが均一組成で、両側の端部領域である下層4b及び上層4cが傾斜組成のSiGeC層4を備え、ベース層8aを構成するためのボロンがSiGeC層4内のみドーブされたヘテロバイポーラトランジスタのSiエピタキシャル層20及びSi層5の位置と、真性ベース層8a、エミッタ層9及びコレクタ層3bの位置との関係を示す図である。SiGeC層4の下層4bにおいて、Ge含有率及びC含有率が中央層4aからSiエピタキシャル層20に向かう方向に徐々に減少している。また、SiGeC層4の上層4cにおいて、Ge含有率及びC含有率がSi層5から中央層4aに向かう方向に徐々に増大している。そして、Bが導入された領域である真性ベース層8aは、Ge含有率及びC含有率が一定の均一組成を有する中央層4a内に包含されている。

【0086】ただし、このGe含有率やC含有率の変化は、連続的な変化でなくステップ状の変化であってもよい。後述の各実施形態においても同様である。

【0087】図8(b)は、図8(a)に示す不純物プロファイルを有するトランジスタのエネルギーバンド図である。図8(b)に示すように、この場合にはヘテロ障壁に寄生バリアも寄生ノッチも現れない。つまり、Ge含有率及びC含有率が徐々に変化することにより、伝導帯端には明瞭なポテンシャル段差が発生せず、伝導帯端がスムーズに変化するエネルギーバンド構造を示している。これは、SiGeC層4の下層4b、上層4cにおいて、伝導帯端にバンドオフセットを生じさせる原因となるCが徐々に変化しているためである。その結果、

23

キャリア（ここでは電子）がエミッタから真性ベースを経てコレクタに流れる作用自体が阻害されることはなく、キャリアの流れが遅くなることもない。すなわち、真性ベース層8aをSiGeC層4の中央層4aに包含させるとともに、SiGeC層4のうちSiエピタキシャル層20に隣接する下層4bにおいて、Ge含有率及びC含有率を中央層4aからSiエピタキシャル層20に向かう方向に徐々に減小させることにより、ヘテロバイポーラトランジスタの伝導帯におけるSiGeC層4からSiエピタキシャル層20につながる部分で寄生バリアやノッチが発生するのを有効に防止することができる。同様に、真性ベース層8aをSiGeC層4の中央層4aに包含させるとともに、SiGeC層4のうちSi層5に隣接する上層4cにおいて、Ge含有率及びC含有率をSi層5から中央層4aに向かう方向に徐々に増大させることにより、ヘテロバイポーラトランジスタの伝導帯におけるSiGeC層4からSi層5につながる部分で寄生バリアやノッチが発生するのを有効に防止することができる。

【0088】なお、Bが導入された領域である真性ベース層8aがSiGeC層4の両端部4b、4cに跨っていても、真性ベース層8aがSiGeC層4からはみ出していない限り、寄生バリアは発生することがなく、ノッチの発生も抑制することができる。

【0089】また、SiGeC層4の下層4b、上層4cにおいて、Ge含有率及びC含有率は図8(a)に示すように必ずしも直線的に増大している必要はなく、多少の曲がりなどがあってもよい。特に、真性ベース層8aがSiGeC層4のうち中央層4aに包含されている場合には、SiGeC層4の端部領域4b、4cにおけるGe含有率やC含有率の変化する形状において階段状の部分があってもよい。

【0090】図9(a)は、中央層4aが均一組成で下層4b、上層4cが傾斜組成(Cのみ)のSiGeC層4を備え、ベース層8aを構成するためのボロンがSiGeC層4内のみにドーピングされたヘテロバイポーラトランジスタのSiエピタキシャル層20及びSi層5の位置と、真性ベース層8a、エミッタ層9及びコレクタ層3bの位置とを示す図である。SiGeC層4の下層4bにおいて、Ge含有率は一定でC含有率がSiエピタキシャル層20から中央層4aに向かう方向に徐々に減小している。また、SiGeC層4の上層4cにおいて、Ge含有率が一定でC含有率がSi層5から中央層4aに向かう方向に徐々に増大している。そして、Bが導入された領域である真性ベース層8aは、Ge含有率及びC含有率が一定の均一組成を有する中央層4a内に包含されている。

【0091】図9(b)は、図9(a)に示す不純物プロファイルを有するトランジスタのエネルギーバンド図である。図9(b)に示すように、この場合にはヘテロ

24

障壁に寄生バリアも寄生ノッチも現れない。つまり、C含有率が徐々に変化することにより、伝導帯端には明瞭なポテンシャル段差が発生せず、伝導帯端がスムーズに変化するエネルギーバンド構造を示している。これは、SiGeC層4の下層4b、上層4cにおいて、伝導帯端にバンドオフセットを生じさせる原因となるCが徐々に変化しているためである。その結果、キャリアがエミッタから真性ベースを経てコレクタに流れる作用自体が阻害されることはなく、キャリアの流れが遅くなることもない。すなわち、真性ベース層8aをSiGeC層4の中央層4aに包含させるとともに、SiGeC層4のうちSiエピタキシャル層20に隣接する下層4bにおいて、Ge含有率は一定であってもC含有率を中央層4aからSiエピタキシャル層20に向かう方向に徐々に減小させることにより、ヘテロバイポーラトランジスタの伝導帯におけるSiGeC層4からSiエピタキシャル層20につながる部分で寄生バリアやノッチが発生するのを有効に防止することができる。同様に、真性ベース層8aをSiGeC層4の中央層4aに包含させるとともに、SiGeC層4のうちSi層5に隣接する上層4cにおいて、Ge含有率は一定であってもC含有率をSi層5からSiGeC層4の中央層4aに向かう方向に徐々に増大させることにより、ヘテロバイポーラトランジスタの伝導帯におけるSiGeC層4からSi層5につながる部分で寄生バリアやノッチが発生するのを有効に防止することができる。

【0092】なお、Bが導入された領域である真性ベース層8aがSiGeC層4の下層4b、上層4cに跨っていても、SiGeC層4からはみ出していない限り、寄生バリアは発生することがなく、ノッチの発生も抑制することができる。

【0093】以上のように、SiGeC層4とSi層5又はSi端結晶膜20との間のヘテロ接合界面でC含有率やGe含有率が徐々に変化する傾斜組成とすることにより、キャリア(電子)の走行を阻害することなく、また、動作電圧の上昇を招くことなく、高周波特性に優れ、低電圧で動作する実用的なヘテロバイポーラトランジスタを形成することができる。

【0094】また、SiGeC層4の下層4b、上層4cにおいて、C含有率は必ずしも直線的に増大している必要はなく、多少の曲がりなどがあってもよい。特に、真性ベース層8aがSiGeC層4のうち中央層4aに包含されている場合には、SiGeC層4の下層4b、上層4cにおける含有率が変化するプロファイル中に階段状の部分があってもよい。

【0095】また、本実施形態では、真性ベース層8aをGe含有率が30%、C含有率が2.1%で残部がSiからなるSiGeC(Si0.679Ge0.30C0.021)

により構成している。この組成を有するSiGeC層をSi層上にエピタキシャル成長させた場合、SiGeC

25

層は約1.0%の圧縮歪みを受けた状態となっている。このような、圧縮歪みを受けた状態の組成を選択した理由は、格子整合系と比較して、圧縮歪みを受けている系では、低いGe含有率及び低いC含有率を有していても、高いGe含有率又はC含有率を有し格子整合したSiGeC層のバンドギャップと同程度のバンドギャップが得られるからである。具体的には、本実施形態における圧縮歪みを受けたSi_{0.679}Ge_{0.30}C_{0.021}層のバンドギャップは0.95eVであるが、これと同等の小さいバンドギャップを格子整合系で実現する場合には、Ge含有率を42%、C含有率を5.1%にする必要がある。つまり、Ge含有率もC含有率も大きくする必要があり、C含有率の増大に伴う結晶性の悪化が生じる可能性もある。また、上述のノッチもC含有率が大きくなると発生しやすい。

【0096】図10は、すでに説明した図1を簡略化して、1.0%以下の圧縮歪みを受ける領域を示す状態図である。そして、図10中のドットハッチングを施した領域Raは、格子整合条件を含まずに、格子歪みが1.0%以下の圧縮歪みを受ける領域である。上述のように、C含有率の増大を抑制しつつ、有効な効果を発揮し得るほどに小さなバンドギャップを真性ベース層に持たせるためには、図10中のドットハッチングを施して示す領域Raの組成を有するSiGeC層を用いてベース層を構成することが望ましい。

【0097】このように、Siエピタキシャル層20の上にエピタキシャル成長により形成されたSiGeC層4を有するヘテロバイポーラトランジスタにおいて、SiGeC層4によって包含される真性ベース層8aを設け、かつ、SiGeC層4を格子歪みが1.0%以内でバンドギャップが小さくなるような条件でGe、Cを含む均一組成のSiGeCで構成することにより、低電圧で動作しうる動作速度の高いヘテロバイポーラトランジスタを実現することができる。また、このようなSi/SiGeC系のヘテロバイポーラトランジスタは、現在汎用されているシリコンプロセスを用いて容易に形成することができるので、シリコン基板の上に集積化することも容易である。

【0098】なお、本実施形態においては、コレクタ層3b及びエミッタ層9をSi単一組成を有する結晶により構成したが、本発明はかかる実施形態に限定されるものではない。たとえば、Siエピタキシャル層20や、Si層5にGeやCを含ませても、SiGeC層4の格子歪みが1.0%以下である限り、本実施形態と同様の効果を発揮することは可能である。

【0099】(第2の実施形態)次に、真性ベース層8aが傾斜組成SiGeCにより構成されたSiGeC-HBTに関する第2の実施形態について説明する。

【0100】図11(a)～(c)は、それぞれ従来の傾斜組成のベース層を有するSiGe-HBTのエネル

26

ギーバンド図、本実施形態に係る傾斜組成のベース層を有するSiGeC-HBTのエネルギーバンド図、及び本実施形態のSiGeC-HBTのGe含有率、C含有率及びB(ボロン)濃度を示す図である。

【0101】図11(a)に示すように、従来のSiGeヘテロバイポーラトランジスタにおいては、例えばベース層のうちエミッタ層に接する端部におけるGe含有率が最小(例えば0%)で、ベース層のうちコレクタ層に接する端部におけるGe含有率が最大(例えば10%)となるような傾斜組成SiGe層によってベース層を構成することにより、SiGeベース層におけるエミッタ層に接する部分のバンドギャップが最大値C1で、SiGeベース層におけるコレクタ層に接する部分のバンドギャップが最小値C2となるように構成できる。そして、このような傾斜組成を有するSiGeにより構成されるベース層においては、伝導帯端の傾斜によってキャリアをコレクタ層に向かう方向に加速する電界が生じる。このようなドリフト走行の場合には、キャリアの拡散による走行よりも走行速度が高いため、ヘテロバイポーラトランジスタの動作速度をさらに向上させることが可能になる。しかし、従来の傾斜ベース構造を有するSiGe-HBTでは、平均格子歪みが0.5%であることという制限から、ベース層におけるコレクタに接する部分のGe含有率を20%程度までしか大きくすることができなかったため、バンドギャップの最小値C2を0.97eV以下にすることは困難であった。そのため、ベース層における伝導帯端の傾斜の程度も、(1.12-0.97)(eV)/t=0.15eV/t(tはベース層の厚み)以上に大きくすることができない。

【0102】一方、図11(b)、(c)に示すように、本実施形態の真性ベース層8aを包含するSiGeC層4の中央層4aは、Si層5(エミッタ層)に接する部分においてはGe含有率及びC含有率を0(つまりSi単独の組成)とし、Si結晶膜20(コレクタ層)に接する部分においてはGe含有率を40%、C含有率を1%としている。そして、SiGeC層4において、Si層5からSiエピタキシャル層20に向かう方向にGe含有率およびC含有率が直線的に大きく増大する構造となっている。ただし、SiGeC層4におけるGe含有率とC含有率との比は一定(40:1)に保たれている。また、SiGeC層4の下層4bにおいては、Ge含有率及びC含有率が中央層4aからSiエピタキシャル層20に向かう方向に徐々に減少している。ただし、本実施形態においては、SiGeC層4のうちSi層5に接する部分がSi単一組成であるので、中央層4aと上層4cとが連続した組成を有し、一体化されている。

【0103】この場合、Ge含有率が40%、C含有率が1.0%のSiGeC層のバンドギャップは0.83eVである。したがって、(1.12-0.83)(e

27

$V/t=0.29\text{eV}$ (290meV) / t (t はベース層の厚み) の伝導帯端の傾斜を実現することができる。そして、SiGeC層4における伝導帯端の傾斜は、Ge含有率、C含有率を変化させることによってさらに大きくすることも可能である。したがって、本発明のSiGeC層によって構成される真性ベース層においては、転位の発生を招かない平均格子歪み(1.0%) (最大格子歪み2.0%) の範囲内でバンドギャップの傾斜をさらに大きくすることが可能である。

【0104】すなわち、本実施形態のヘテロバイポーラトランジスタによると、Ge含有率及びC含有率の調整により、真性ベース層8aにおける格子歪みを抑制しつつ真性ベース層8aにおけるコレクタ層に接する部分のバンドギャップを極めて小さくすることができることから、バンドギャップがエミッタ側からコレクタ側に向かう方向に減小する傾斜の度合いの大きい、電界によるキャリアの加速機能の高いHBTを実現することができる。

【0105】特に、本実施形態のように、SiGeC層4を、Si層5(エミッタ側)からSiエピタキシャル層20(コレクタ側)に向かう方向にGe含有率及びC含有率が直線的に増大していく傾斜組成構造とすることにより、バンドギャップがエミッタ側からコレクタ側に向かう方向に直線的に減小している傾斜電界加速機能の高いHBTを実現することができる。具体的には、上述のようなSiGeC層4の組成によって、SiGeC層4のうちSi層5に接する部分の格子歪みが1.2%となる。この値は、上述の転位の発生を招かないための平均格子歪み1.0%よりも大きい値である。しかし、真性ベース層8aを構成するSiGeC層4が傾斜組成構造の場合は、SiGeC層4全域にわたる平均的な格子歪みが重要な値となる。本実施形態のSiGeC層4においては、SiGeC層4の平均的な格子歪みは0.6%であり、この値は1.0%以下の値であるので、真性ベース層8aにおける転位の発生を招くことはなく、問題は無い。そして、真性ベース層8aを構成するSiGeC層4をこのような傾斜組成構造とすることにより、SiGeC層4のエミッタ側端部からコレクタ側端部に亘って290meVものバンドギャップの変化が得られるので、キャリア(ここでは電子)に対するより強い電界加速機能を発揮することができ、超高速動作が可能なSiGeC-HBTを得ることができる。

【0106】なお、SiGeC層4内においてエネルギーギャップがSi層5からSiエピタキシャル層20に向かう方向に増大する形状が必ずしも直線的である必要はないが、直線的に増大する場合には、SiGeC層4内において常に一定の加速度をキャリアに与えることができ、キャリアを加速する機能が特に大きい。

【0107】ここで、SiGeC層4の全域にわたる平均的な格子歪みが1.0%以下となる状態とは、以下の

28

ような場合をいう。例えば、図11(c)に示すごとく真性ベース層8aを構成するSiGeC層4のうちSi層5に接する部分(エミッタ側端部)の組成をSi単一組成とし、SiGeC層4内においてSi層5に接する部分からSi結晶膜20に接する部分(コレクタ側端部)に向かう方向にGe含有率およびC含有率が直線的に増加していく三角形のプロファイルをもつ場合には、Ge含有率およびC含有率がピークとなる中央層4aのコレクタ側端部における組成の格子歪み量が2%以下となるような場合である。

【0108】本実施形態では、SiGeC層4が圧縮歪みを受けている領域Ra(図10参照)における組成を有するSiGeC層4が傾斜組成を有する場合について説明したが、その際、以下の事項に留意する必要がある。

【0109】図12は、図1と同じSiGeC三元混晶半導体におけるGe及びCの含有率とバンドギャップ、格子歪みの関係を示す図であって、Ge含有率及びC含有率を両者の比を一定としながら直線的に変化させる場合の組成の変化方向を矢印によって示している。図12からわかるように、SiGeC層4を格子整合させた状態で(図12における格子歪みが0%の直線上の部分)バンドギャップを傾斜させる場合には、SiGeC層4の組成制御を十分に行わないと、その組成が仕様から若干ずれた場合には、バンドギャップの等高線に対して垂直に近い方向に変化するので、バンドギャップの変動が大きく再現性に問題がある。したがって、格子整合した状態でバンドギャップを傾斜させる構造は回避して、SiGeC層4の圧縮歪みを受けた領域又は引っ張り歪みを受けた領域のいずれかのみにおいて傾斜組成を持たせるほうが望ましい。また、結晶成長の観点からも、圧縮歪みをうけた領域での傾斜組成としたほうが、GeやCの含有率をできるだけ少なくしつつ、より小さなバンドギャップを実現することができる点で望ましい。

【0110】以上のことから、本実施形態の真性ベース層8aを構成するSiGeC層4においては、格子整合条件に適合する部分(図12における格子歪みが0%の直線上の部分)を含まずに、SiGeC層4の全域に亘る平均的な格子歪みが1.0%以下の圧縮歪みを受ける領域内において、Ge含有率およびC含有率を変化させておくことが望ましい。

【0111】また、本実施形態においては、図11(c)に示すように、SiGeC層4の下層4bにおけるGe含有率及びC含有率を中央部4aからSiエピタキシャル層20に向かう方向に徐々に減小させているので、第1の実施形態と同様に、ベース・コレクタ接合界面(SiGeC層4-Siエピタキシャル層20間のヘテロ障壁)において、寄生バリア(図6(a)参照)やノッチ(図7(a)参照)の発生を抑制し、伝導帯における明瞭なポテンシャル段差の発生を抑制して、スムー

29

ズなバンド構造を得ることができる。

【0112】ただし、下層4bにおけるC含有率のみを中央層からSiエピタキシャル層20に向かう方向に徐々に減少させてもよい。また、ノッチなどのバンドオフセットが深刻な不具合を招くことがない種類のバイポーラトランジスタにおいては、下層4bに傾斜組成を持たせる必要は必ずしもない。

【0113】このように、本実施形態の傾斜組成を有するSiGeC層4によって構成される真性ベース層8aを備えたSiGeC-HBTにおいて、さらに、Si/SiGeCヘテロ接合界面でC含有率やGe含有率が変化する傾斜組成とすることにより、キャリアの走行を阻害することなく、高周波特性に優れた実用的なヘテロバイポーラトランジスタを形成することができる。

【0114】(第3の実施形態)次に、真性ベース層8aが傾斜組成SiGeCにより構成され、かつエミッターベース間のビルトインポテンシャルが低減されたSiGeC-HBTに関する第3の実施形態について説明する。

【0115】図13(a)、(b)は、それぞれ、本実施形態における傾斜組成SiGeC-HBTのエネルギーバンド図、及びGe含有率、C含有率及びB(ボロン)濃度を示す図である。本実施形態においては、真性ベース層8aを構成するSiGeC層4の中央層4aのうち、エミッタを構成するSi層5に接する部分をSi単一組成ではなく、Siよりもバンドギャップの小さいSiGe又はSiGeCにより構成している。また、真性ベース層8aを構成するSiGeC層4の中央層4aのうち、コレクタを構成するSiエピタキシャル層20に接する部分をSiよりもバンドギャップの小さいSiGeCにより構成している。そして、SiGeC層4の下層4bにおいては、Ge含有率及びC含有率が中央層4aからSiエピタキシャル層20に向かう方向に徐々に減少している。さらに、SiGeC層4の上層4cにおいても、Ge含有率及びC含有率がSi層5から中央層4aに向かう方向に徐々に増大している。

【0116】そして、SiGeC層4とSi層9との伝導帯同士のポテンシャル差A1は、SiGeC層4とSi層9との価電子帯同士のポテンシャル差B1よりも小さくしている。すなわち、エミッター・ベース間のPN接合のビルトインポテンシャルを小さくし、低電圧動作を可能としている。なお、第2の実施形態と同様に、SiGeC層4とSiエピタキシャル層20との伝導帯同士のポテンシャル差A2は、SiGeC層4とSiエピタキシャル層20との価電子帯同士のポテンシャル差B2よりも小さい。

【0117】また、SiGeC層4内において、Si層5と接する部分のバンドギャップC1はSiエピタキシャル層20に接する部分のバンドギャップC2よりも大きい。つまり、真性ベース層8aを構成するSiGeC

30

層4のバンドギャップはSi層5(エミッタ側)からSiエピタキシャル層20(コレクタ側)に向かう方向に直線的に減少している。つまり、SiGeC層4は傾斜組成を有しており、これにより、真性ベース層8aでの傾斜電界が生じ、真性ベース層8aを走行するキャリアに加速度を与えて高速動作を可能としている。なお、SiGeC層全域にわたる平均的な歪み量は1.0%以下となる組成を選んでいる。以上のような構成にすることにより、低電圧動作が可能でかつ高周波特性に優れたヘテロバイポーラトランジスタを実現できる。

【0118】次に、本実施形態において採用したSiGeC層4の具体的な組成について説明する。例えば、SiGeC層4のうちSi層5に接する部分(エミッタ側)のGe含有率を30%、C含有率を3.3%とし、Siエピタキシャル層20(コレクタ側)に接する部分のGe含有率を40%、C含有率を3.3%とする。つまり、SiGeC層4の両端部におけるC含有率は互いに等しい。そして、SiGeC層4内において、Ge含有率がSi層5(エミッタ側)からSiエピタキシャル層20(コレクタ側)に向かう方向に直線的に増大している。

【0119】なお、本実施形態においても、SiGeC層4内においてエネルギーギャップがSi層5からSiエピタキシャル層20に向かう方向に増大する形状が必ずしも直線的である必要はないが、直線的に増大する場合には、SiGeC層4内において常に一定の加速度をキャリアに与えることができ、キャリアを加速する機能が特に大きい。

【0120】この時、SiGeC層4のうちSi層5に接する部分(Ge30%、C3.3%)において、バンドギャップが0.99eVで、格子歪みが0.1%である。SiGeC層4のうちSiエピタキシャル層20に接する部分(Ge40%、C3.3%)において、バンドギャップが0.91eVで、格子歪みが0.5%である。このような構造により、SiGeC層4の全域にわたる平均的な格子歪みは0.3%程度となり、実用上も問題がない。このような組成のSiGeC層4により真性ベース層8aを構成することによって、従来のSiGe-HBTよりエミッタ側バンドギャップが小さく、低電圧で動作しかつ高速動作が可能なSiGeC-HBTを得ることができる。

【0121】また、結晶成長の観点からも歪みがないよりは圧縮歪みを受けた領域での傾斜組成としたほうが、Cの含有率が少ない状態でより小さなバンドギャップを実現できるため、本実施形態においても、圧縮歪みを受けたSiGeCを用いて真性ベース層8aを構成している。すでに説明したが、図12からわかるように、SiGeC層4内において格子整合した状態でバンドギャップを傾斜させようとすると、組成制御を十分に行わないと、組成が若干ずれた場合のバンドギャップの変動が大

きく再現性に問題がある。そこで、格子整合した状態での傾斜バンドギャップ構造は回避して、圧縮歪みを受けた領域R a、または、引っ張り歪みを受けた領域R bのいずれかにおいて、SiGeC層4の組成がSi層5

(エミッタ側)からSiエピタキシャル層20(コレクタ側)に向かう方向に変化しているような傾斜組成にするほうが望ましい。ただし、圧縮歪みを受けた領域R aでバンドギャップを傾斜させる場合と、引っ張り歪みを受けた領域R bでバンドギャップを傾斜させる場合とでは、GeおよびC含有率の傾斜の方向が異なるので注意が必要である。以下、バンドギャップを傾斜させるための組成傾斜方法について、圧縮歪みを受けた領域R aと引っ張り歪みを受けた領域R bとに分けて説明する。

【0122】-圧縮歪みを受けた領域における組成傾斜方法の例-

図14は、SiGeC層4の状態図における圧縮歪みを受けた領域R aにおいてバンドギャップを傾斜させるために好ましい組成傾斜方法の例を説明するための図である。バンドギャップを減小させるためには、直線Co1~Co4に示すように通りかの方法がある。

【0123】図15(a)~(d)は、図14の直線Co1~Co4にそれぞれ対応する組成傾斜方法を示す図である。

【0124】図15(a)は、図14に示す直線Co1に沿って、SiGeC層4におけるC含有率を一定とし、Ge含有率をSi層5(エミッタ側)からSiエピタキシャル層20(コレクタ側)に向かう方向に直線的に増大させた場合のGe含有率及びC含有率を示す図である。

【0125】図15(b)は、図14に示す直線Co2に沿って、SiGeC層4におけるGe含有率を一定とし、C含有率をSi層5(エミッタ側)からSiエピタキシャル層20(コレクタ側)に向かう方向に直線的に減小させた場合のGe含有率及びC含有率を示す図である。

【0126】図15(c)は、図14に示す直線Co3に沿って、SiGeC層4におけるGe含有率をSi層5(エミッタ側)からSiエピタキシャル層20(コレクタ側)に向かう方向に直線的に増大させ、かつ、C含有率をSi層5(エミッタ側)からSiエピタキシャル層20(コレクタ側)に向かう方向に直線的に減小させた場合のGe含有率及びC含有率を示す図である。

【0127】図15(d)は、図14に示す直線Co4に沿って、SiGeC層4におけるGe含有率をSi層5(エミッタ側)からSiエピタキシャル層20(コレクタ側)に向かう方向に直線的に増大させ、かつ、C含有率をSi層5(エミッタ側)からSiエピタキシャル層20(コレクタ側)に向かう方向に直線的に増大させた場合のGe含有率及びC含有率を示す図である。

【0128】-引っ張り歪みを受けた領域における組成

傾斜方法の例-

図16は、SiGeC層4の状態図における引っ張り歪みを受けた領域R bにおいてバンドギャップを傾斜させるために好ましい組成傾斜方法の例を説明するための図である。バンドギャップを減小させるためには、直線Te1~Te4に示すように通りかの方法がある。

【0129】図17(a)~(d)は、図16の直線Te1~Te4にそれぞれ対応する組成傾斜方法を示す図である。

【0130】図17(a)は、図16に示す直線Te1に沿って、SiGeC層4におけるC含有率を一定とし、Ge含有率をSi層5(エミッタ側)からSiエピタキシャル層20(コレクタ側)に向かう方向に直線的に減小させた場合のGe含有率及びC含有率を示す図である。

【0131】図17(b)は、図16に示す直線Te2に沿って、SiGeC層4におけるGe含有率を一定とし、C含有率をSi層5(エミッタ側)からSiエピタキシャル層20(コレクタ側)に向かう方向に直線的に増大させた場合のGe含有率及びC含有率を示す図である。

【0132】図17(c)は、図16に示す直線Te3に沿って、SiGeC層4におけるGe含有率をSi層5(エミッタ側)からSiエピタキシャル層20(コレクタ側)に向かう方向に直線的に減小させ、かつ、C含有率をSi層5(エミッタ側)からSiエピタキシャル層20(コレクタ側)に向かう方向に直線的に増大させた場合のGe含有率及びC含有率を示す図である。

【0133】図17(d)は、図16に示す直線Te4に沿って、SiGeC層4におけるGe含有率をSi層5(エミッタ側)からSiエピタキシャル層20(コレクタ側)に向かう方向に直線的に増大させ、かつ、C含有率をSi層5(エミッタ側)からSiエピタキシャル層20(コレクタ側)に向かう方向に直線的に増大させた場合のGe含有率及びC含有率を示す図である。

【0134】上述のように、SiGeC層4のSi層5(エミッタ側)に接する部分の組成を格子整合条件に一致するように(歪みが0%の直線上)にした場合には、SiGeCの組成の制御を正確に行わないと、SiGeCの組成の傾斜方向によっては、逆のバンドギャップ勾配(コレクタ側からエミッタ側にバンドギャップが減小する勾配)をもつことがあるので、SiGeC層4のSi層5に接する部分の組成を格子整合条件からずらし、圧縮歪みを受ける領域R a内もしくは引っ張り歪みを受ける領域R b内のいずれか一方のみでSiGeC層4の組成を傾斜させることが望ましい。

【0135】本実施形態によると、SiGeC-HBTの真性ベース層8aを構成するSiGeC層4のうち、エミッタ層9を構成するSi層5に接する部分の組成をSi単独組成ではなくGe及びCのうち少なくともい

33

れか一方を含む組成とし、SiGeC層4のSi層5と接する部分のバンドギャップをSi層5よりも小さくするようにしたので、上記第2の実施形態と同様の効果に加えて、エミッタ・ベース間のPN接合のビルトインポテンシャルを低減することにより、SiGeC-HBTの低電圧動作化を図ることができる。

【0136】なお、本実施形態においても、SiGeC層4の全域に亘る平均的な歪み量が1.0%以下となるようなSiGeCの組成を選択している。このように構成することにより、低電圧動作が可能でかつ高周波特性に優れたヘテロバイポーラトランジスタを実現できる。

【0137】なお、本実施形態においては、SiGeC層4のうちSi層5に接する部分の組成がSi、Ge及びCを含む組成としているが、図14、図16からわかるように、圧縮歪みを受けた領域Ra内で傾斜組成制御を行なう場合には、Cを含まずSi及びGeを含む組成としてもよいし、引っ張り歪みを受けた領域Rb内で傾斜組成制御を行なう場合にはGeを含まずSi及びCを含む組成としてもよい。

【0138】また、本実施形態においては、図13(b)に示すように、SiGeC層4の下層4bにおけるGe含有率及びC含有率を中央部4aからSiエピタキシャル層20に向かう方向に徐々に減少させ、かつ、SiGeC層4の上層4cにおけるGe含有率及びC含有率をSi層5から中央部4aに向かう方向に徐々に増大させているので、第1の実施形態と同様に、ベース・コレクタ接合界面(SiGeC層4-Siエピタキシャル層20間のヘテロ障壁)及びエミッタ・ベース接合界面において、寄生バリア(図6(a)参照)やノッチ(図7(a)参照)の発生を抑制し、伝導帯における明瞭なポテンシャル段差の発生を抑制して、スムーズなバンド構造を得ることができる。

【0139】ただし、下層4b、上層4cにおけるC含有率のみを中央層からSiエピタキシャル層20又はSi層5に向かう方向に徐々に減少させてもよい。また、ノッチなどのバンドオフセットが深刻な不具合を招くことがない種類のバイポーラトランジスタにおいては、下層4b、上層4cに傾斜組成を持たせる必要は必ずしもない。

【0140】このように、本実施形態の傾斜組成を有するSiGeC層4によって構成される真性ベース層8aを備えたSiGeC-HBTにおいて、さらに、Si/SiGeCヘテロ接合界面でC含有率やGe含有率が徐々に変化する傾斜組成とすることにより、キャリアの走行を阻害することなく、高周波特性に優れた実用的なヘテロバイポーラトランジスタを形成することができる。

【0141】なお、上記各実施形態では、図2に示すヘテロバイポーラトランジスタ単体の構造を前提としてその特性の向上対策について説明したが、当然のことながら、バイポーラトランジスタとCMOSを集積化したB

34

i CMOSデバイスのバイポーラトランジスタを本発明によるSiGeC-HBTによって構成してもかまわない。

【0142】また、本発明の実施形態では、NPN型SiGeC-HBTを例にとりて説明したが、本発明をPNP型SiGeC-HBTにも適用しうることはいうまでもない。

【0143】

【発明の効果】本発明のヘテロバイポーラトランジスタによると、基板上に、第1の半導体層を含むエミッタ層と、第1の半導体層よりもバンドギャップの小さいSiGeC結晶からなる第2の半導体層内に形成されたベース層と、第2の半導体層よりもバンドギャップの大きい第3の半導体層を含むコレクタ層とを備え、上記第2の半導体層の平均格子歪みを1.0%以下としたので、格子不整合を招くことなく第2の半導体層と第1、第3の半導体層とのバンドギャップ差を拡大することにより、ビルトイン電圧の低減による電流増幅率の増大や傾斜組成ベース構造による動作速度の向上などを実現でき、よって、信頼性の高いかつ機能の優れたヘテロバイポーラトランジスタの提供を図ることができる。

【図面の簡単な説明】

【図1】SiGeC三元混晶半導体におけるGeおよびCの含有率とバンドギャップ、格子歪みの関係を示す状態図である。

【図2】本発明の実施形態におけるヘテロバイポーラトランジスタの断面図である。

【図3】(a)～(k)は、本発明の実施形態におけるヘテロバイポーラトランジスタの製造工程を示す断面図である。

【図4】(a)～(c)は、それぞれ順に、従来のNPN型Si-BJTのエネルギーバンド構造、従来の均一組成ベース層を有するNPN型SiGe-HBTのエネルギーバンド構造、本実施形態の均一組成SiGeCベース層を有するNPN型SiGeC-HBTのエネルギーバンド図である。

【図5】本発明の実施形態に係るヘテロバイポーラトランジスタのベース・コレクタ電流のベース電圧依存特性(ガンメルプロット)を従来のSi-BJT、SiGe-HBTと比較して示す図である。

【図6】(a)、(b)は、それぞれ順に、ベース層用のボロンが全体的に均一組成を有するSiGeC層よりも広い範囲にドーピングされたヘテロバイポーラトランジスタの各結晶層の位置とベース、エミッタ、コレクタの位置との関係を示す図、及びトランジスタのエネルギーバンド図である。

【図7】(a)、(b)は、それぞれ順に、ベース層用のボロンが全体に均一組成を有するSiGeC層内にドーピングされたヘテロバイポーラトランジスタの各結晶層の位置とベース、エミッタ、コレクタの位置との関係を示

35

す図、及びトランジスタのエネルギーバンド図である。

【図 8】(a), (b) は、それぞれ順に、ベース層用のボロンが、中央層が均一組成で両側の下層、上層が傾斜組成の SiGeC 層内のみにドーブされたヘテロバイポーラトランジスタの各結晶層の位置とベース、エミッタ、コレクタの位置との関係を示す図、及びトランジスタのエネルギーバンド図である。

【図 9】(a), (b) は、ベース層用のボロンが、中央層が均一組成で両側の下層、上層が傾斜組成 (C のみ) の SiGeC 層内のみにドーブされたヘテロバイポーラトランジスタの各結晶層の位置とベース、エミッタ、コレクタの位置との関係を示す図、及びトランジスタのエネルギーバンド図である。

【図 10】図 1 と同様のパラメータについて、1.0% 以下の圧縮歪みを受ける領域を示す状態図である。

【図 11】(a) ~ (c) は、それぞれ従来の傾斜組成のベース層を有する SiGe-HBT のエネルギーバンド図、第 2 の実施形態に係る傾斜組成のベース層を有する SiGeC-HBT のエネルギーバンド図、及び第 2 の実施形態の SiGeC-HBT の Ge 含有率、C 含有率及び B (ボロン) 濃度を示す図である。

【図 12】図 1 と同様のパラメータについて、第 2 の実施形態において Ge 及び C 含有率を両者の比を一定としながら直線的に変化させる場合の組成の変化方向を示す状態図である。

【図 13】(a), (b) は、それぞれ、第 3 の実施形態における傾斜組成 SiGeC-HBT のエネルギーバンド図、及び Ge 含有率、C 含有率及び B (ボロン) 濃度を示す図である。

【図 14】SiGeC 層の状態図における圧縮歪みを受けた領域においてバンドギャップを傾斜させるために好ましい組成傾斜方法の例を説明するための図である。

【図 15】(a) ~ (d) は、図 14 の直線 Co1 ~ Co4 にそれぞれ対応する組成傾斜方法を示す図である。

【図 16】SiGeC 層の状態図における引っ張り歪みを受けた領域においてバンドギャップを傾斜させるために好ましい組成傾斜方法の例を説明するための図である。

【図 17】(a) ~ (d) は、図 16 の直線 Te1 ~ Te4 にそれぞれ対応する組成傾斜方法を示す図である。

【図 18】従来の SiGe-HBT などにおける Si 層

36

の上に形成された SiGe 膜の Ge 含有率と格子歪み、臨界膜厚との関係を示す特性図である。

【図 19】一般式 $Si_{1-x}Ge_xC_y$ で表される SiGeC 結晶層について、950℃ 下で 15 sec 分間の熱処理 (RTA) を行なったときの結晶性の変化を示すデータである。

【図 20】(a) ~ (d) は、 $Si_{1-x}Ge_x$ 結晶層及び $Si_{1-x-y}Ge_xC_y$ 結晶層の各組成における熱処理による X 線回折スペクトルの変化を示す図である。

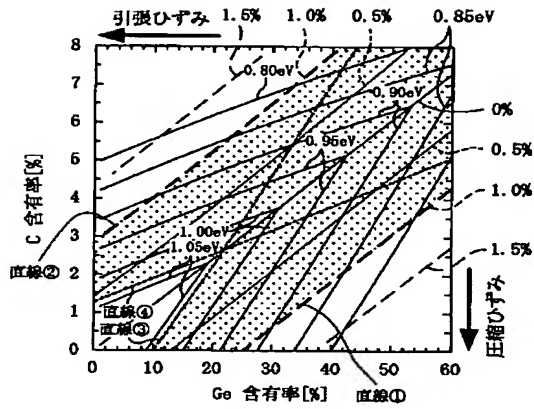
【図 21】Ge 含有率が 21.5% である $Si_{1-x}Ge_x$ 結晶層及び $Si_{1-x-y}Ge_xC_y$ 結晶層をベース層として有するバイポーラトランジスタのエミッタ接地における $V_{CE} - I_C$ 特性を示す図である。

【図 22】Ge 含有率が 26.8% である $Si_{1-x}Ge_x$ 結晶層及び $Si_{1-x-y}Ge_xC_y$ 結晶層をベース層として有するバイポーラトランジスタのエミッタ接地における $V_{CE} - I_C$ 特性を示す図である。

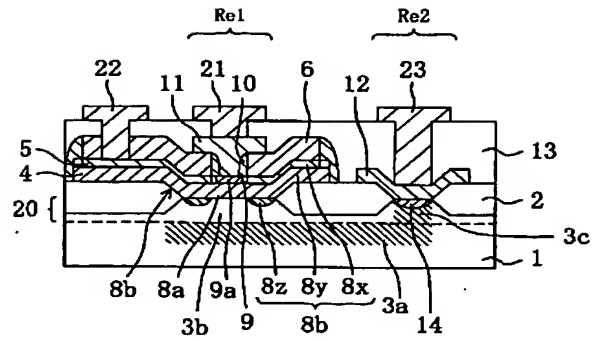
【符号の説明】

- | | |
|-----|---------------------|
| 1 | Si 基板 |
| 2 | LOCOS 膜 |
| 3 a | サブコレクタ層 |
| 3 b | コレクタ層 |
| 3 c | コレクタウォール層 |
| 4 | SiGeC 層 (第 2 の半導体層) |
| 5 | Si 層 (第 3 の半導体層) |
| 6 | BSG 膜 |
| 7 | 保護酸化膜 |
| 8 a | 真性ベース層 |
| 8 b | 外部ベース層 |
| 9 | エミッタ層 |
| 9 a | 高濃度エミッタ層 |
| 10 | サイドウォール |
| 11 | エミッタ電極 |
| 12 | コレクタ電極 |
| 13 | 層間絶縁膜 |
| 14 | コレクタコンタクト層 |
| 20 | Si 単結晶膜 (第 1 の半導体層) |
| 21 | Al 配線 |
| 22 | Al 配線 |
| 23 | Al 配線 |

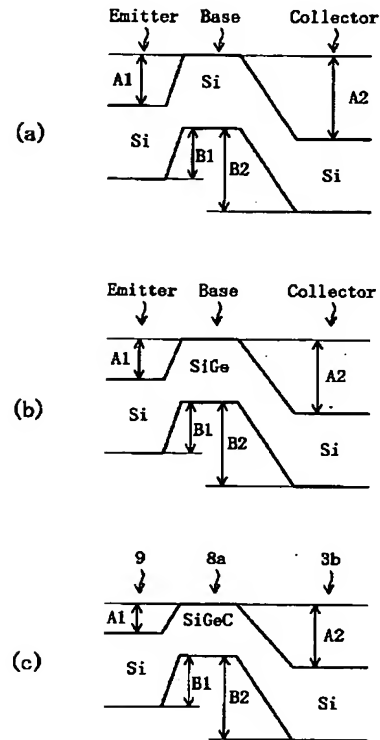
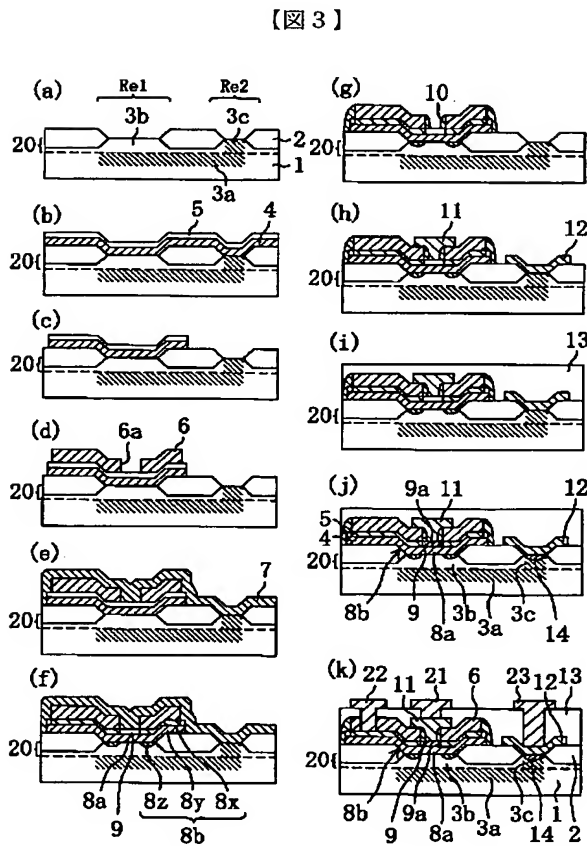
【図1】



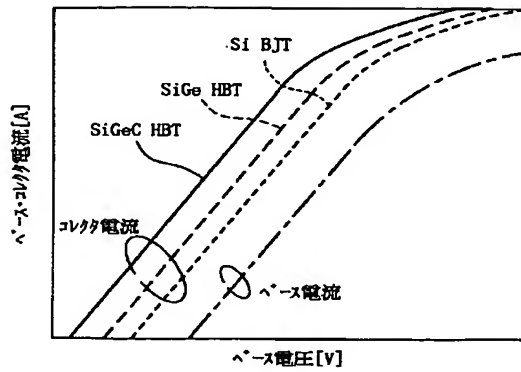
【図2】



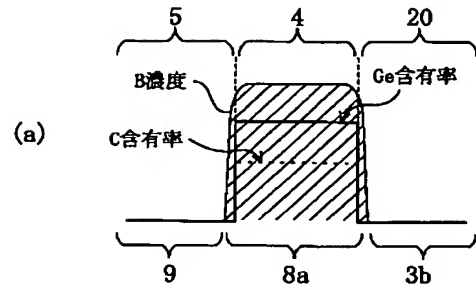
【図4】



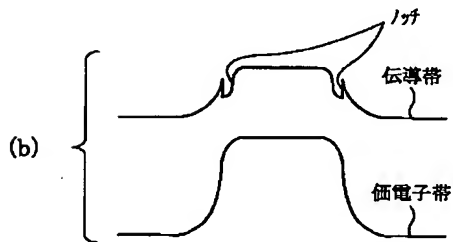
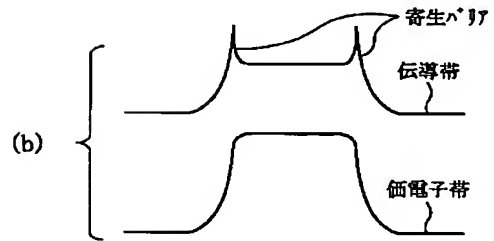
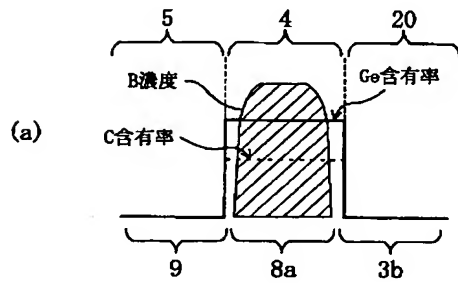
【図5】



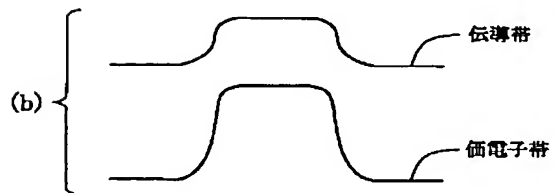
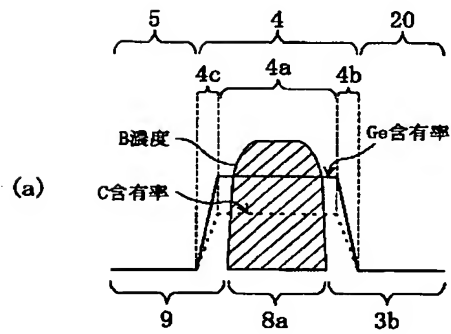
【図6】



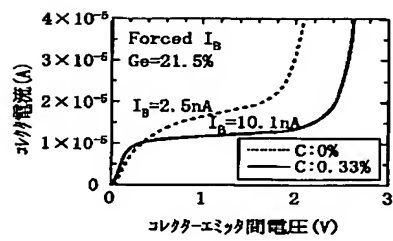
【図7】



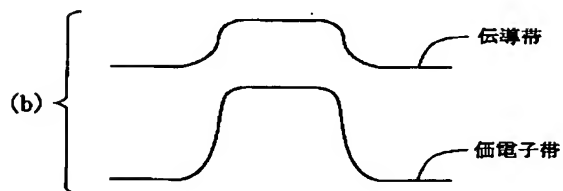
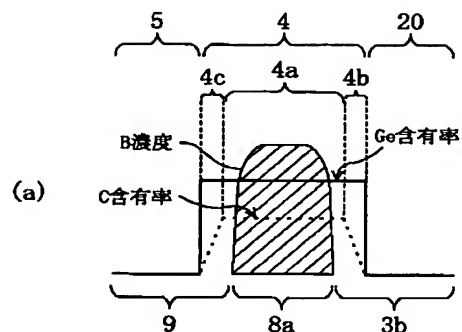
【図8】



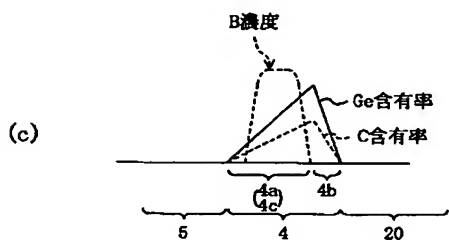
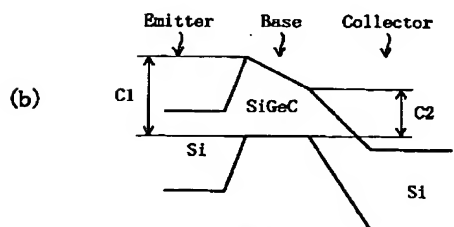
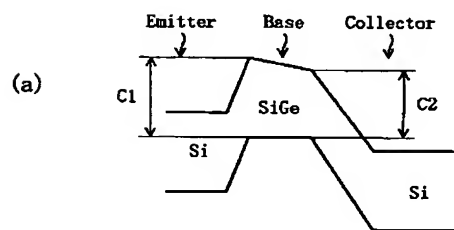
【図21】



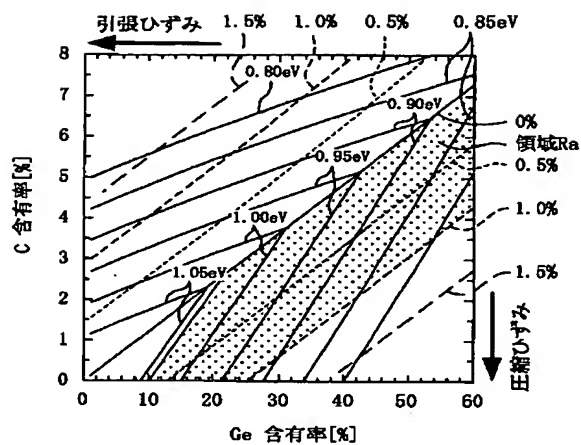
【図9】



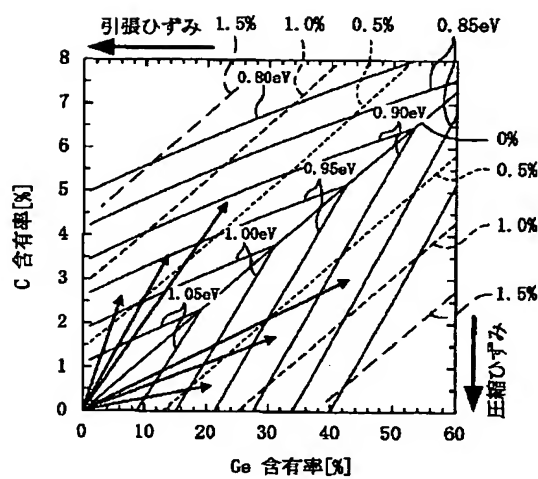
【図11】



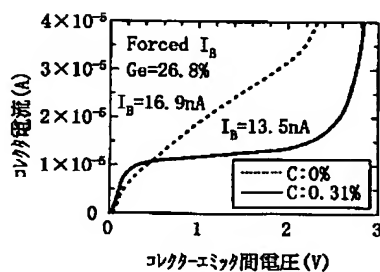
【図10】



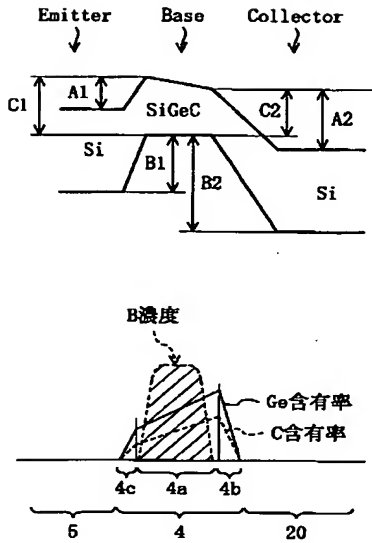
【図12】



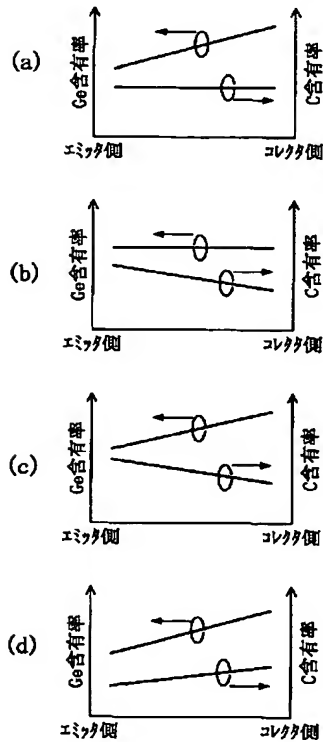
【図22】



【図13】



【図15】



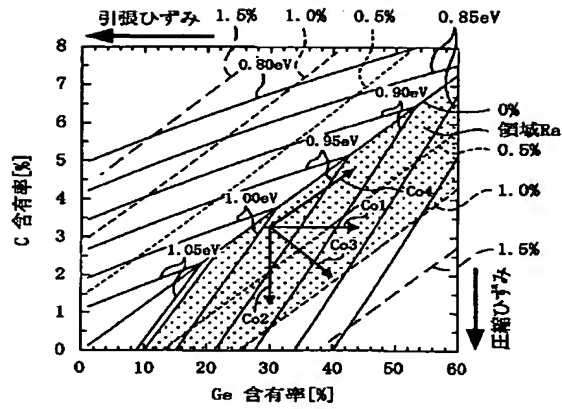
C含有率を一定とし
Ge含有率を
増加させた場合

Ge含有率を一定とし
C含有率を
減少させた場合

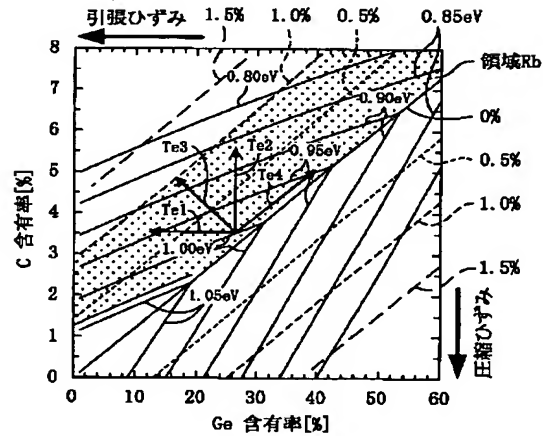
Ge含有率を増加させ
かつC含有率を
減少させた場合

Ge含有率を増加させ
かつC含有率を
増加させた場合

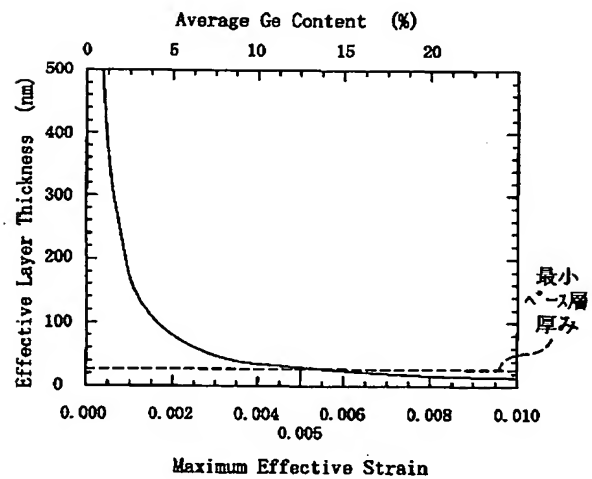
【図14】



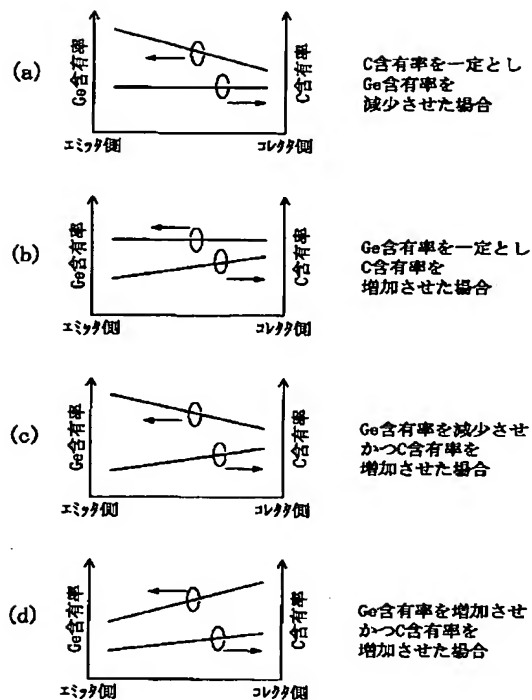
【図16】



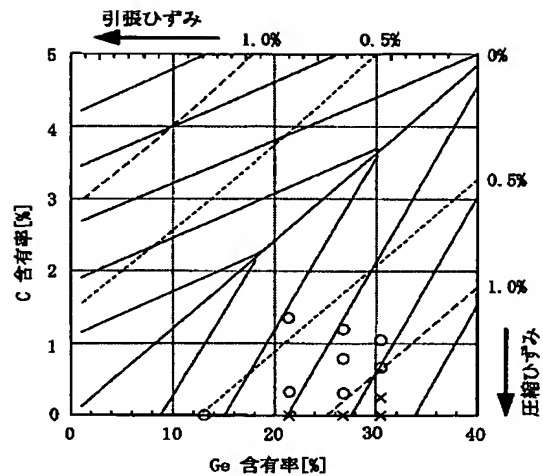
【図18】



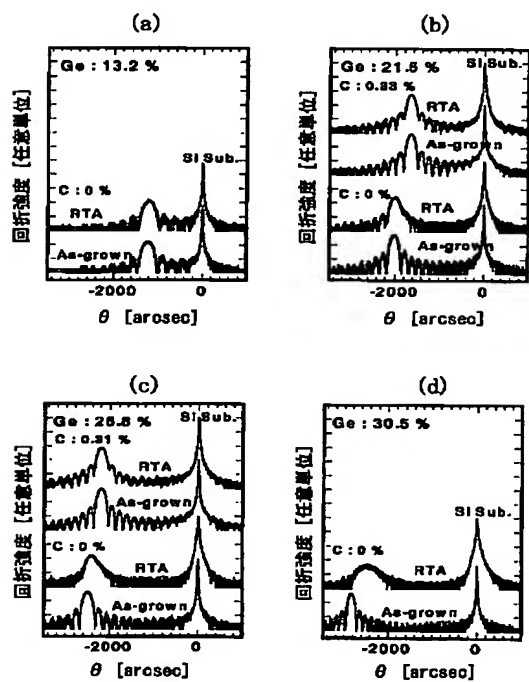
【図17】



【図19】



【図20】



フロントページの続き

(72) 発明者 豊田 健治
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 神澤 好彦
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5F003 BA97 BB04 BB06 BB07 BB08
BC07 BC08 BE07 BE08 BF06
BM01 BP06 BP07 BP34 BS06
BS08

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.